

**3. БАЗОВАЯ АРХИТЕКТУРА МИКРОКОНТРОЛЛЕРОВ
СЕМЕЙСТВА MCS51****Структурная схема микроконтроллера**

В состав микроконтроллера (МК), имеющего гарвардскую архитектуру, структурная схема которого изображена на рис. 3.1, входят: 8-разрядный процессор, управляющее ПЗУ, резидентная память данных, 4 порта ввода-вывода по 8 линий каждый, 4 тестируемых входа, канал последовательного ввода-вывода, 2 таймера/счетчика и приоритетная двухуровневая система прерываний с 6 источниками запросов. Архитектура МК предусматривает расширение как управляющей памяти, так и памяти данных до 64 Кбайт каждой.

Для сокращения количества выводов большинство логических линий совмещаются. Так, при обращении к внешней памяти порт P0 выполняет роль совмещенной шины адреса/данных, а порт P2 – старшей части адреса. Все выходы порта P3 исполняют роль линий управления и специального ввода-вывода.

8-разрядное АЛУ может выполнять арифметические операции сложения, вычитания, умножения и деления; логические операции, операции циклического сдвига, сброса, установки и инвертирования. АЛУ содержит регистр аккумулятора A и регистр-расширитель аккумулятора B, а также программно недоступный, предназначенный для временного хранения операндов регистр TP1, схему десятичной коррекции DAA и схему формирования признаков в регистре слова состояния программы PSW.

Важной особенностью АЛУ является его возможность оперировать битами. Отдельные программно доступные биты могут быть установлены, сброшены, инвертированы, переданы, проверены и использованы в логических операциях. Для управления объектами часто применяются алгоритмы, содержащие операции над входными и выходными булевыми данными (истина/ложь), и в этом отношении можно говорить, что МК имеет булевой процессор, что выделяет его среди других микропроцессоров.

Таким образом, АЛУ может оперировать с различными информационными объектами: булевыми, цифровыми (4 бита), байтными

и адресными. В АЛУ выполняется 51 различная операция пересылки или преобразования этих данных. Так как используется 11 режимов адресации (7 для данных и 4 для адресов), то путем комбинирования операций с режимами адресаций базовое число команд расширяется до 255 при однобайтном коде операции.

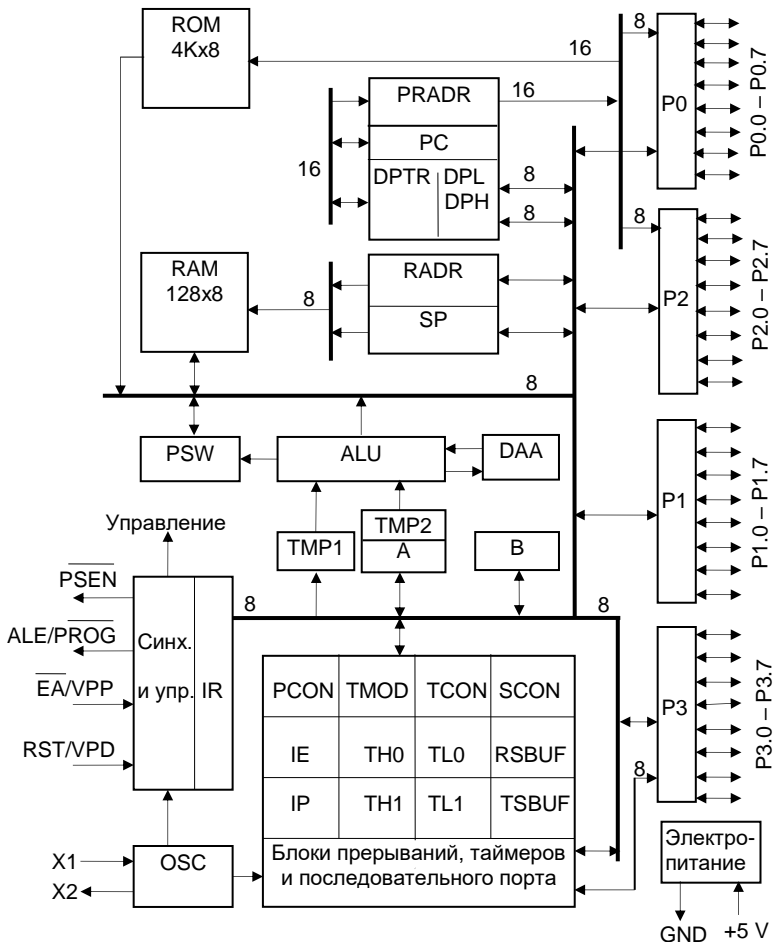


Рис. 3.1. Структурная схема базового микроконтроллера MCS51

Память программ и память данных, размещенные на кристалле, физически и логически разделены, имеют различные механизмы

адресации и работают под управлением различных сигналов. Память программ (ROM или EPROM) емкостью 4 Кбайт имеет 16-разрядную шину адреса, через которую обеспечивается доступ к ячейкам памяти из счетчика команд PC или регистра указателя данных DPTR. Резидентная память данных (RAM) адресуется одним байтом и имеет емкость 128 байт. Память программ и память данных могут быть расширены каждая до 64 Кбайт с помощью внешних микросхем.

При выполнении многих операций в АЛУ формируются признаки, которые запоминаются в регистре слова состояния программы PSW. Наряду с флагами переноса C, вспомогательного переноса AC, паритета P, имеются флаг переполнения, устанавливающийся при выполнении арифметических операций, и флаг F0, специфицируемый пользователем. Там же задается двумя разрядами RS0 и RS1 рабочий банк регистров, один из четырех банков 8-разрядных регистров, состоящих из R0...R7. Они выполняют общецелевые функции промежуточного хранения данных. Использование наборов регистров позволяет существенно уменьшить длительность переключения контекстов процессора, что важно для систем реального времени.

Для адресации данных используются регистры-указатели. 8-разрядный указатель стека SP может адресовать любую область РПД и его содержимое инкрементируется до загрузки в стек данных. Двухбайтный указатель данных DPTR предназначен для фиксации адреса в операциях с обращением к внешней памяти данных. Он используется и как 16-разрядный регистр, и как два независимых 8-разрядных регистра DPH и DPL. Также в качестве указателей могут быть применены регистры общего назначения R0 и R1.

На основе регистровых пар TH0, TL0 и TH1, TL1 функционируют два независимых программно управляемых 16-разрядных таймера/счетчика событий.

Буфер последовательного порта состоит из регистра буфера приемника RSBUF и регистра буфера передатчика TSBUF. Загрузка байта в буфер передатчика немедленно вызывает начало процесса передачи через последовательный порт. При приеме информации источником является приемник последовательного порта.

Кроме того, МК имеет регистры специальных функций, предназначенные для фиксации и программного изменения управляющих бит и бит состояния: схемы прерываний IP, IE; таймера/счетчика TMOD, TCON; приемопередатчика последовательного порта SCON и управления мощностью электропитания PCON.

Порты ввода-вывода

Все четыре порта микроконтроллера предназначены для побитового ввода и вывода информации. Каждый порт содержит управляемые регистр-защелку, входной буфер и выходной драйвер. Выходные драйверы портов P0 и P2, а также входной буфер порта P0 используются при обращении к внешней памяти.

Таблица 3.1. Альтернативные функции порта P3

Символ	Позиция	Назначение
RD'	P3.7	Чтение. Активный низкий сигнал формируется аппаратно при обращении к ВПД
WR'	P3.6	Запись. Активный низкий сигнал формируется аппаратно при обращении к ВПД
T1	P3.5	Вход таймера/счетчика 1
T0	P3.4	Вход таймера/счетчика 0
INT1'	P3.3	Вход запроса прерывания 1. Воспринимается сигнал низкого уровня или срез
INT0'	P3.2	Вход запроса прерывания 0. Воспринимается сигнал низкого уровня или срез
TXD	P3.1	Выход передатчика последовательного порта. Выход синхронизации в режиме 0
RXD	P3.0	Вход приемника последовательного порта. Вывод данных в режиме 0

При этом через P0 в режиме мультиплексирования вначале выводится младший байт адреса внешней памяти, а затем выдается или принимается байт данных. Через P2 выводится старший байт адреса. Все выходы порта P3 могут использоваться для реализации альтернативных функций, указанных в табл. 3.1. Альтернативные функции выполняются при записи 1 в соответствующие разряды регистра-защелки P3.0...P3.7.

Порт P0 является двунаправленным, а порты P1...P3 – квази-двунаправленными. Каждая линия портов может быть использована независимо для ввода и вывода информации. Для ввода в соответствующий разряд регистра-защелки должна быть записана 1, которая закрывает выходной драйвер. При сбросе контроллера в регистры-защелки всех портов автоматически записываются 1, тем самым настраивая его на режим ввода, а порт P3 – на выполнение альтернативных функций.

Устройство синхронизации и управления

Кварцевый резонатор, подключаемый к выводам X1, X2 микроконтроллера, управляет работой внутреннего генератора, который формирует сигналы синхронизации. Устройство управления на основе сигналов синхронизации формирует машинный цикл длительностью, равной 12 периодам резонатора или 6 состояниям S1...S6, состоящими из двух фаз P1 и P2. В фазе P1, как правило, выполняются операции в АЛУ, а в фазе P2 осуществляется межрегистровая передача данных. Весь машинный цикл состоит из 12 фаз, начиная с фазы S1P1 и кончая фазой S6P2, как показано на рис. 3.2. Большинство команд выполняется за один машинный цикл. Некоторые команды, оперирующие с двухбайтными словами или связанные с обращением к внешней памяти, выполняются за два машинных цикла. Только команды умножения и деления требуют четырех машинных цикла.

При обращении к внешней памяти программ используется управляющий сигнал PSEN', который выполняет функцию строб-сигнала чтения. Доступ к внешней памяти данных обеспечивается управляющими сигналами RD', WR', которые формируются в линиях P3.7 и P3.6 при выполнении портом P3 альтернативных функций. При обращении к программе используется 16-разрядный адрес. Доступ к данным возможен как с использованием 16-разрядного адреса в команде MOVX A,@DPTR, так и 8-разрядного – в команде MOVX A,@Ri. В обоих случаях старший байт 16-разрядного адреса фиксируется в регистре-защелке порта P2.

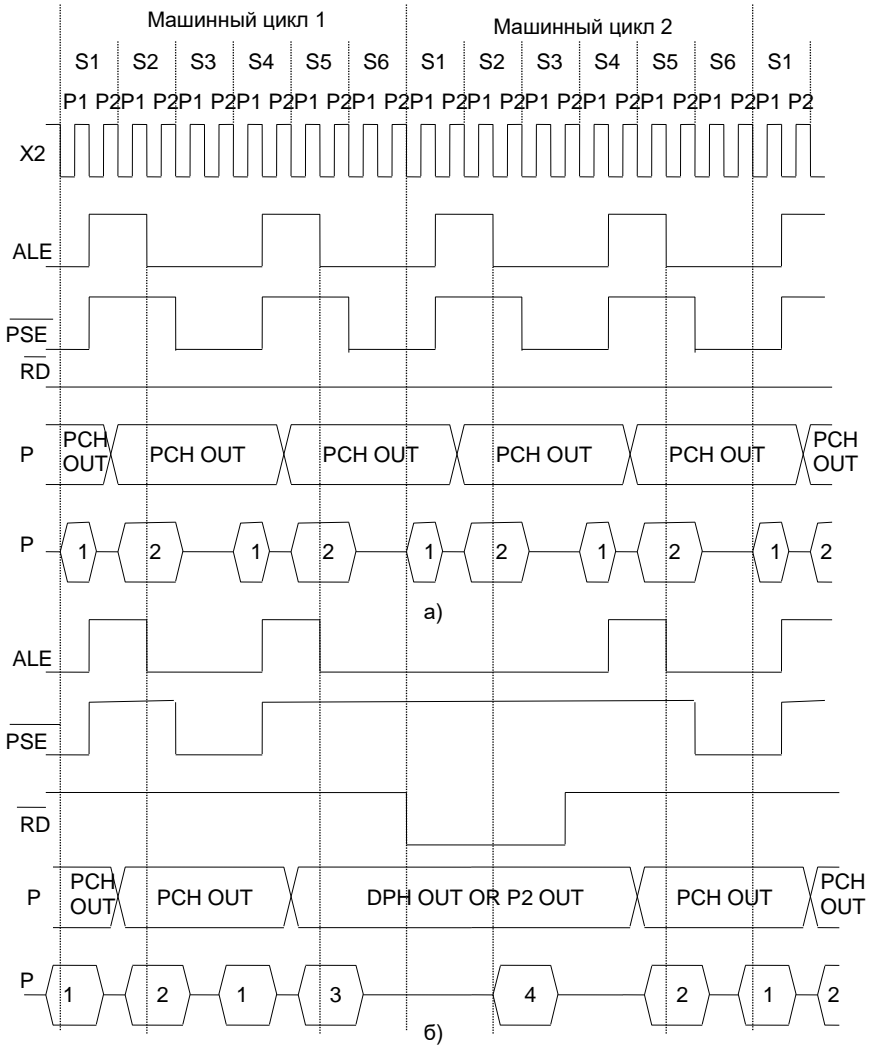


Рис. 3.2. Временные диаграммы операций с обращением к внешней памяти без команды MOVX (а) и с командой MOVX (б):
 1 – INSTR IN; 2 – PCL OUT; 3 – ADDR OUT; 4 – DATA IN

Через порт P0 в режиме мультиплексирования осуществляется выдача младшего байта адреса и передача байта данных. Сигнал ALE предназначен для записи адреса во внешний регистр. В цикле

записи выводимый байт данных появляется на выводах порта P0 перед появлением сигнала WR'. В цикле чтения байт данных принимается в порт P0 по фронту стробирующего сигнала RD'.

Доступ к внешней памяти программ возможен только в случае, когда на вход EA' подается активный сигнал или содержимое счетчика PC превышает значение 0FFFH. Наличие сигнала EA' необходимо для обеспечения доступа к младшим 4К адресам адресного пространства при использовании микроконтроллера MCS31, который отличается только отсутствием резидентной памяти программ.

Временные диаграммы на рис. 3.2 иллюстрируют процесс генерации управляющих сигналов ALE и PSEN при обращении к внешней памяти. Основное назначение сигнала ALE – обеспечить временное согласование передачи из порта P0 во внешний регистр младшего байта адреса в цикле чтения программы. За один цикл сигнал ALE генерируется дважды, даже если в цикле выборки нет обращения к внешней памяти программ. Доступ к памяти данных возможен только тогда, когда нет сигнала ALE. Поэтому при выполнении инструкции MOVX первый сигнал во втором машинном цикле блокируется.

При обращении к резидентной памяти программ сигнал PSEN' не генерируется, а при обращении к внешней памяти программ он выполняет функцию строб-сигнала чтения.

Таймеры/счетчики

Два программируемых 16-разрядных счетчика/таймера могут использоваться в качестве таймеров или счетчиков внешних событий. При работе в качестве таймера содержимое его регистра инкрементируется в каждом машинном цикле. При работе в качестве счетчика инкрементирование происходит под воздействием перехода уровня сигнала из 1 в 0 на входе счетчика, опрос которого выполняется также каждый машинный цикл. Новое значение счетчика устанавливается в следующем цикле после обнаружения перехода уровня сигнала. Поэтому максимальная скорость опроса составляет 1/24 частоты резонатора, а на длительность периода входных сигналов ограничений сверху нет.

Для управления режимами работы таймеров/счетчиков используются два регистра специальных функций TMOD и TCON.

Последовательный интерфейс

Имеющийся в микроконтроллере асинхронный приемопередатчик (УАПП) осуществляет прием и передачу информации, представленной последовательным кодом (младшими битами вперед), в дуплексном режиме обмена. В состав УАПП входят принимающий и передающий сдвигающие регистры, а также буферные регистры приема и передачи. Запись байта в буфер приводит к автоматической перезаписи байта в сдвигающий регистр передатчика и иницирует начало передачи. Наличие буферного регистра приемника позволяет совместить операцию чтения ранее принятого байта с приемом очередного байта. Если к окончанию приема байта предыдущий не был считан, то он будет потерян.

Последовательный порт может работать в четырех режимах.

Режим 0. Информация передается и принимается побайтно через внешний вывод входа приемника RXD. Через внешний вывод выхода передатчика TXD выдаются импульсы сдвига, которые сопровождают каждый бит. Частота передачи бита информации равна 1/12 частоты резонатора.

Режим 1. В этом режиме передаются через TXD или принимаются через RXD 10 бит информации: старт-бит (0), 8 бит данных и стоп-бит (1). Скорость передачи задается таймером.

Режим 2. Кадр передачи содержит 11 бит: старт-бит, 8 бит данных, программируемый девятый бит и стоп-бит. При передаче девятый бит для контроля может замещаться битом четности из PSW. Частота передачи задается либо 1/16, либо 1/32 частоты резонатора управляющим битом регистра специальных функций SMOD.

Режим 3. Совпадает с режимом 2 за исключением частоты передачи, которая задается таймером.

Система прерываний

Схема прерываний, реализованная в микроконтроллере, показана на рис. 3.3. Внешние прерывания INT0', INT1' могут быть вызваны либо уровнем, либо переходом сигнала из 1 в 0 на соответствующих выводах микросхемы в зависимости от значений управляющих бит IT0, IT1 в регистре TCON. От внешних прерываний устанавливаются флаги IE0, IE1 в регистре TCON, которые иницируют вызов соответствующей подпрограммы обслуживания прерывания. Сброс этих флагов выполняется аппаратно только в том

случае, если прерывание было вызвано по срезу сигнала. Если прерывание вызвано уровнем входного сигнала, то сбросом флагов IE управляет соответствующая подпрограмма путем воздействия на источник прерывания с целью снятия им запроса.

Флаги запросов прерывания от таймеров TF0 и TF1 сбрасываются автоматически при передаче управления подпрограмме обслуживания. Флаги запросов прерывания RI и TI устанавливаются блоком управления УАПП аппаратно, но сбрасываются программно.

Прерывания могут быть вызваны или отменены программой, так как все перечисленные флаги программно доступны и могут устанавливаться и сбрасываться из программы. Для управления режимом прерывания и уровнями приоритета (всего их два – высший и низший) предназначены два регистра специальных функций IE и IP соответственно. Флаги прерываний опрашиваются в момент S5P2 каждого машинного цикла. Ранжирование прерываний по уровню приоритета выполняется в течение следующего машинного цикла.

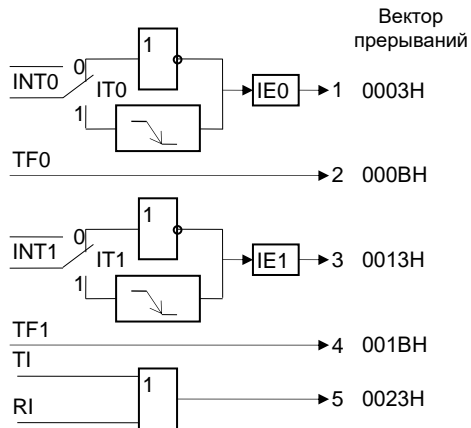


Рис. 3.3. Схема прерываний MCS51. Цифрами показан порядок опроса при равенстве приоритетов

Система прерываний аппаратно формирует вызов соответствующей подпрограммы обслуживания, если она не заблокирована одним из следующих условий:

- 1) в данный момент обслуживается запрос прерываний равного или более высокого уровня приоритета;
- 2) текущий машинный цикл не последний при выполнении команды;
- 3) выполняется команда возврата из прерываний RETI или любая команда, связанная с обращением к регистрам IE, IP.

Вызов подпрограммы обслуживания происходит аппаратно сформированным кодом команды LCALL с соответствующим адресом вектора прерываний, где располагается команда перехода JMP непосредственно в нужную программу. Возврат из подпрограммы осуществляется по команде RETI, которая восстанавливает сохраненный в стеке адрес возврата в основную программу и снимает блокировку прерываний.

Режимы работы

Режим холостого хода устанавливается соответствующим битом в регистре управления мощностью. При этом продолжает работать внутренний генератор синхросигналов, все регистры сохраняют свое значение, на выводах портов удерживается уровень напряжения, установленный до холостого режима. Обращений к внешним устройствам памяти нет.

Выход из режима холостого хода происходит по сигналу сброса RST или по прерыванию. После завершения программы обслуживания будет исполнена команда, которая следует за командой установления режима.

Способ установки режима пониженного энергопотребления тот же, в результате которого останавливается генератор синхросигналов, содержимое регистров сохраняется, а на выводах портов удерживаются значения, соответствующие содержимому их буферных регистров. При этом электропитание осуществляется через вывод RST/VPD, а основное питание может быть выключено. Выход из режима пониженного энергопотребления возможен только по сигналу сброса RST.