

Кафедра Электрофизических установок МИФИ

Микропроцессорные системы ЭФУ

Иллюстрации к курсу лекций

Коршунов А.М.

01.01.2008

1. Введение

Таблица 1.1. Первые популярные микропроцессоры

Разрядность	Модель	Кол-во транзисторов, шт.	Год выпуска	Фирма
4	4004	2200	1971	Intel
8	8008	2300	1972	Intel
8	8080	4800	1974	Intel
8	80	8400	1976	Zilog
8	8048	12400	1977	Intel
16	8086	29000	1978	Intel
16	68000	75000	1980	Motorola
16	80286	130000	1982	Intel
32	80386	181000	1985	Intel

Таблица 1.2. Сравнительные характеристики

Характеристика	Intel 486	Intel Pentium	Power PC 601	DEC Alpha 21064
	1989	1993	1993	1992
Тип	CISC	CISC	RISC	RISC
Разрядность	32	32	32	64
Тактовая частота (МГц)	50	66	100	200
Кол-во команд за такт	1	1	3	2
Кол-во конвейеров	1	2	3	4
Технология, размер элемента,	КМОП	КМОП	КМОП	КМОП
кол-во слоев	1	0.8	0.6	0.5
Площадь (мм x мм)	2	3	5	41
Кол-во транзисторов (млн.)	9 x 9	17 x 17	11 x 11	15 x 13
Мощность (Вт)	1.2	3.1	2.8	1.7
Напряжение питания	5	16	9	30
Кол-во выводов	5	5	3.6	3.3
	168	273	304	431

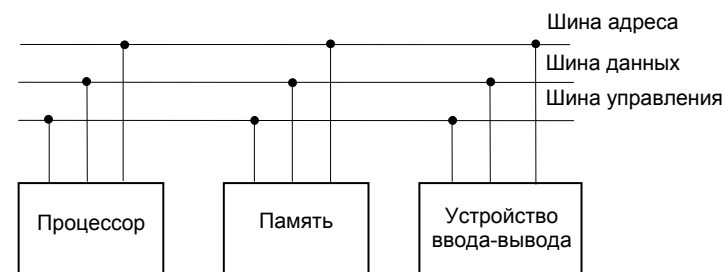


Рис.1.1. Обобщенная структурная схема микропроцессорного устройства

2. Принципы построения процессора

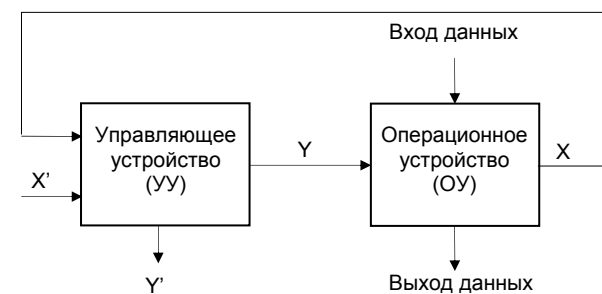


Рис.2.1. Общая структура процессора

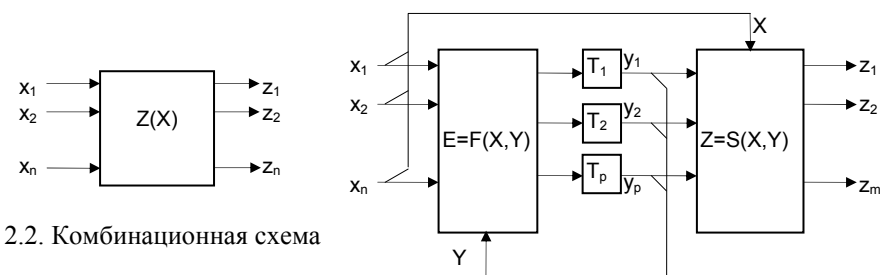


Рис. 2.2. Комбинационная схема

Рис. 2.3. Последовательная схема

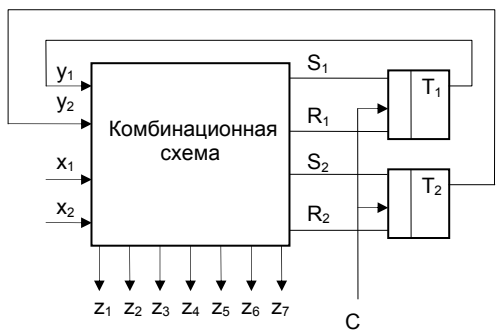


Рис. 2.4. Структурная схема управляющего устройства на основе схемной логики для процессора умножения целых чисел

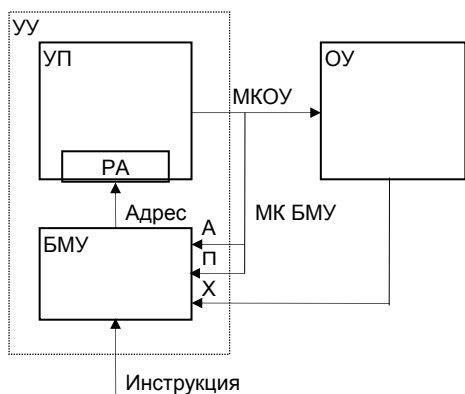


Рис. 2.5. Структурная схема процессора с микропрограммным способом управления

Поле адреса		Поле условных переходов		Поле управляющих сигналов							
		П	x ₁	x ₂	z ₁	z ₂	z ₃	z ₄	z ₅	z ₆	z ₇
МК БМУ				МК ОУ							

Рис. 2.6. Формат микрокоманды для операции умножения целых чисел без знака

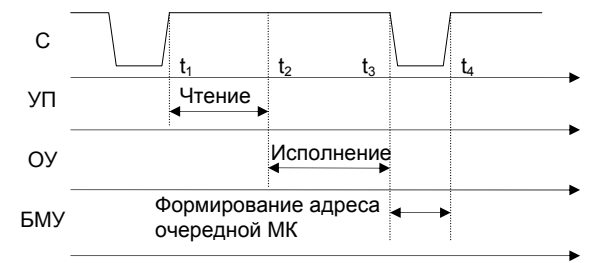


Рис. 2.7. Временная диаграмма работы процессора с микропрограммным управлением

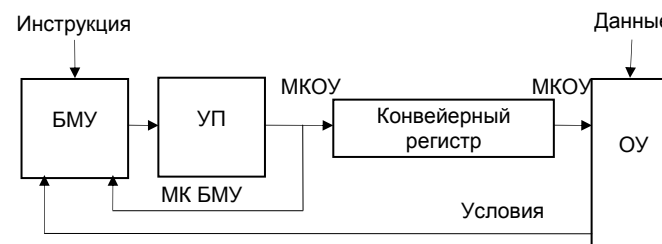


Рис. 2.8. Структура процессора с конвейерным регистром

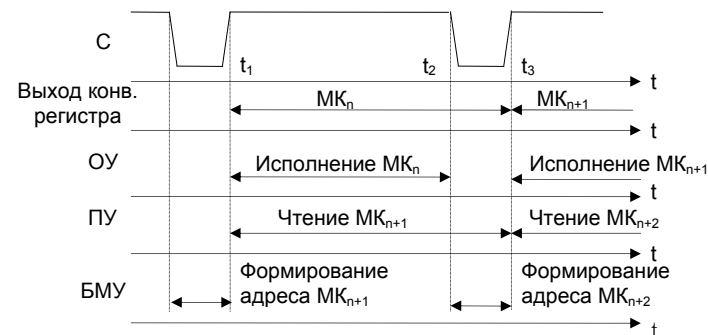


Рис. 2.9. Временная диаграмма работы процессора с конвейерным регистром

3. Архитектура 8-разрядного микропроцессора

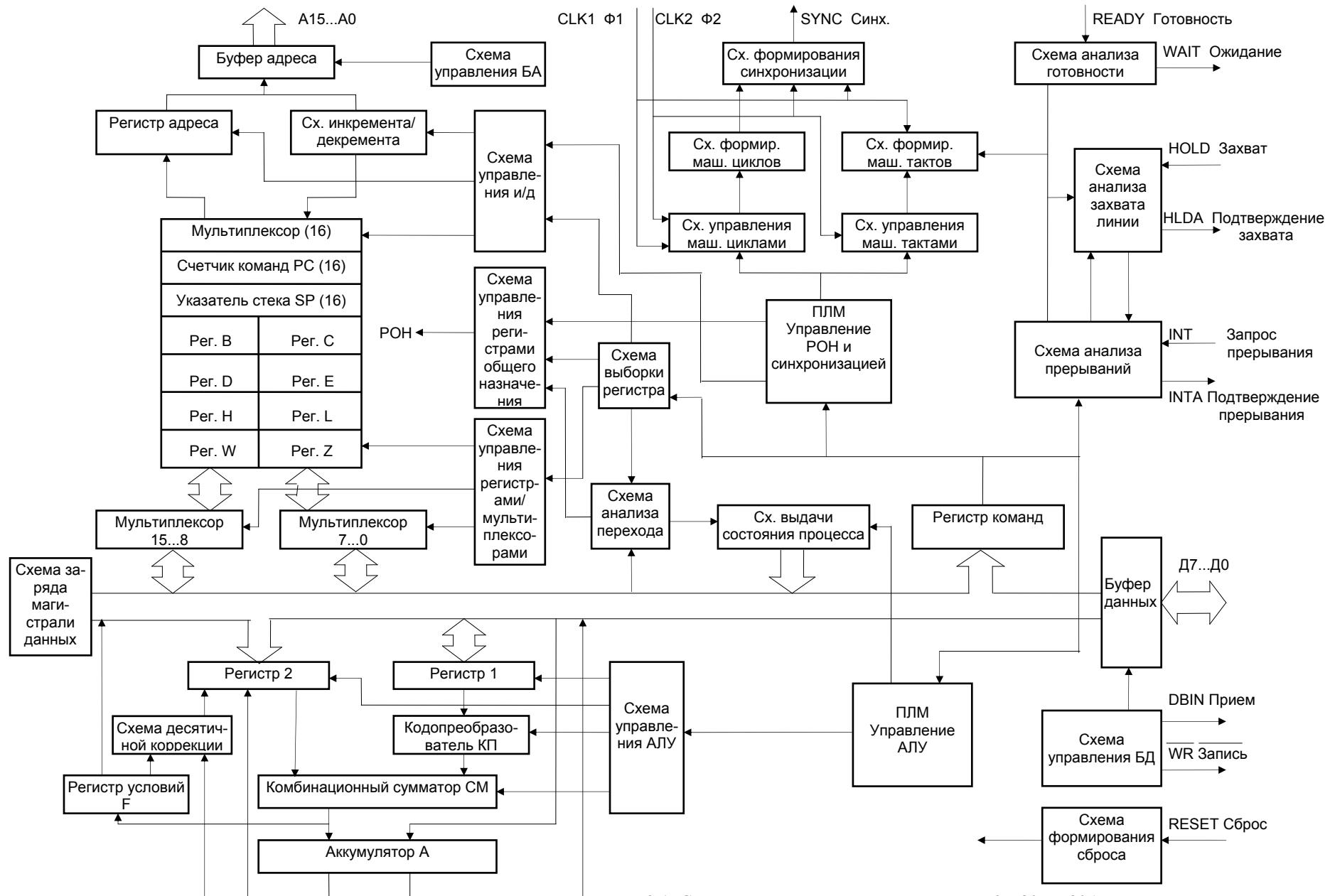


Рис. 3.1. Структурная схема микропроцессора KP580BM80A

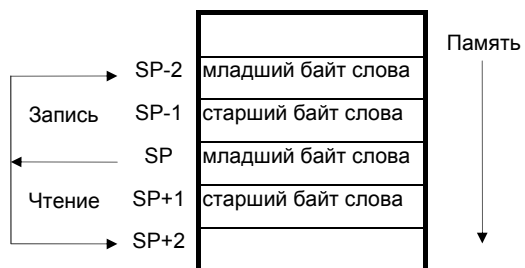


Рис. 3.2. Содержимое указателя стека при записи и чтении данных

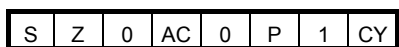


Рис. 3.3. Формат регистра признаков

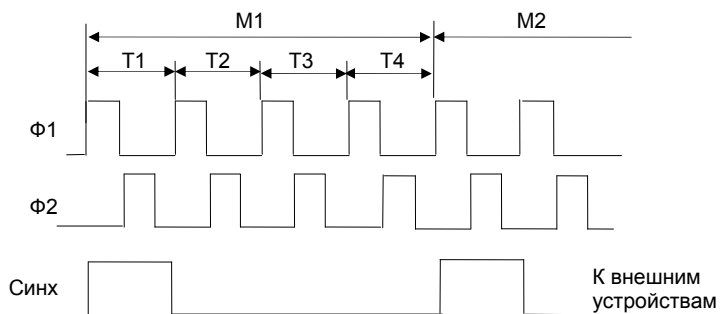


Рис. 3.4. Временные диаграммы синхронизации

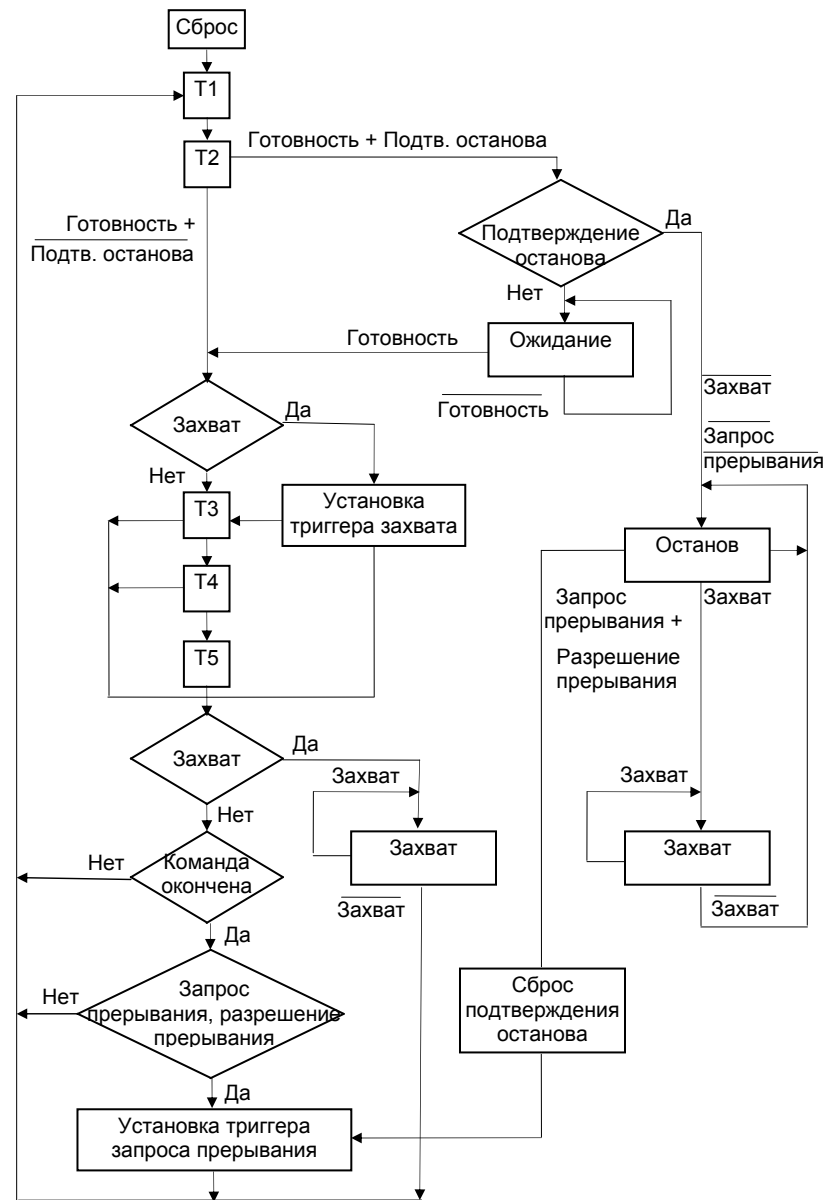


Рис. 3.5. Диаграмма состояний машинного цикла МП КР580ВМ80А

Разряд	Сигнал состояния	1	2	3	4	5	6	7	8	9	10
Д0	Подтверждение прерывания	0	0	0	0	0	0	0	1	0	1
Д1	Запись/Вывод	1	1	0	1	0	1	0	1	1	1
Д2	Стек	0	0	0	1	1	0	0	0	0	0
Д3	Подтверждение останова	0	0	0	0	0	0	0	0	1	1
Д4	Вывод	0	0	0	0	0	0	1	0	0	0
Д5	М1	1	0	0	0	0	0	0	0	0	1
Д6	Ввод	0	0	0	0	0	0	1	0	0	0
Д7	Чтение	1	1	0	1	0	0	0	0	1	0

Рис. 3.6. Машинные циклы МП КР580ВМ80А

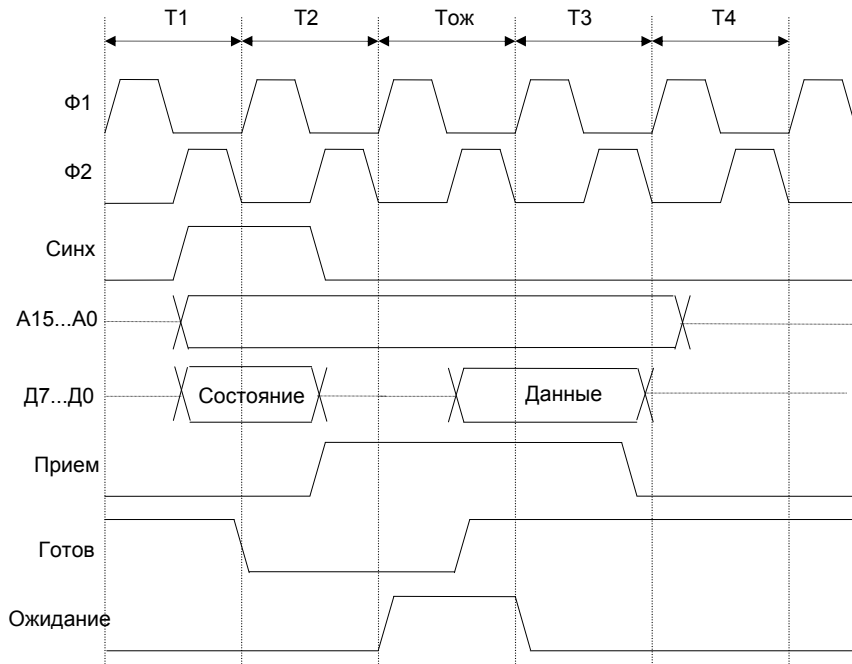


Рис. 3.7. Диаграммы основного цикла выполнения команды

4. Запоминающие устройства

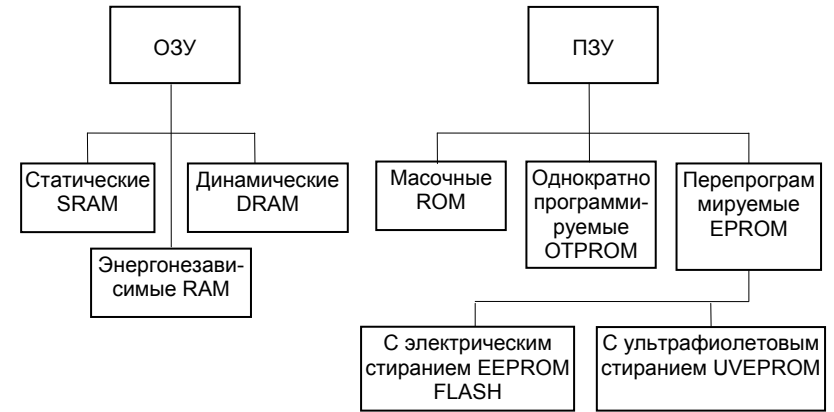


Рис. 4.1. Классификация БИС запоминающих устройств

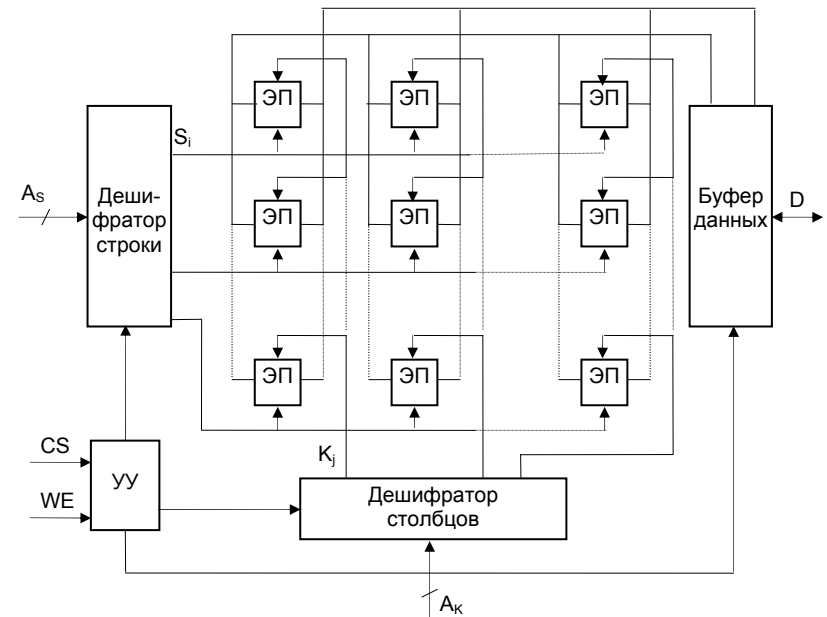


Рис. 4.2. Структура БИС запоминающего устройства

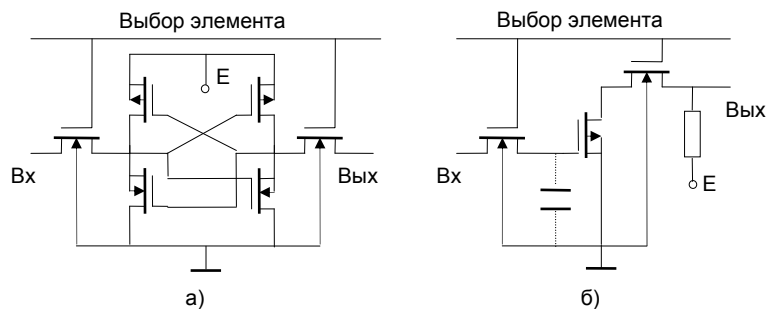


Рис. 4.3. Элемент памяти ОЗУ: а) статического, б) динамического типа

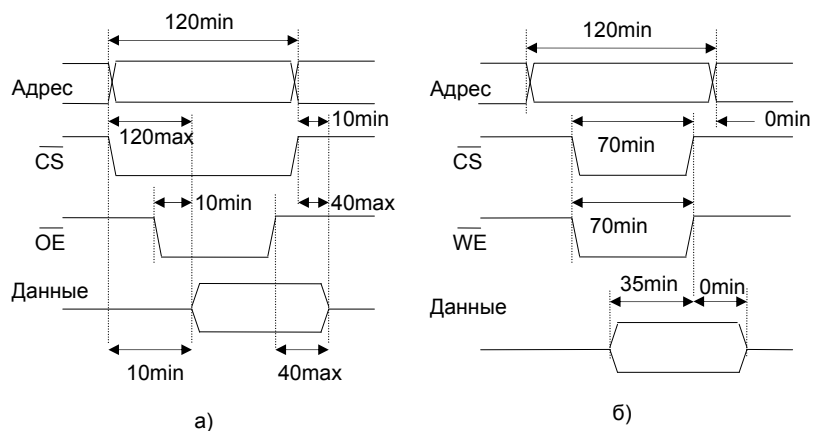


Рис. 4.4. Обмен данными с ОЗУ, имеющим быстродействие 120 нс: а) цикл чтения, б) цикл записи

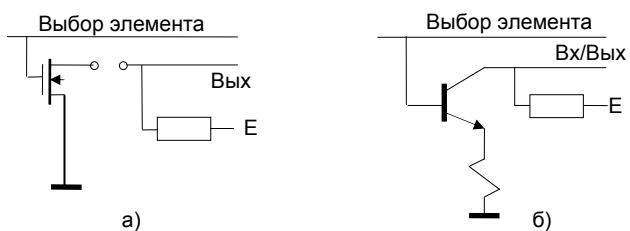


Рис. 4.6. Элементы памяти ПЗУ: а) масочного типа, б) с плавкими перемычками

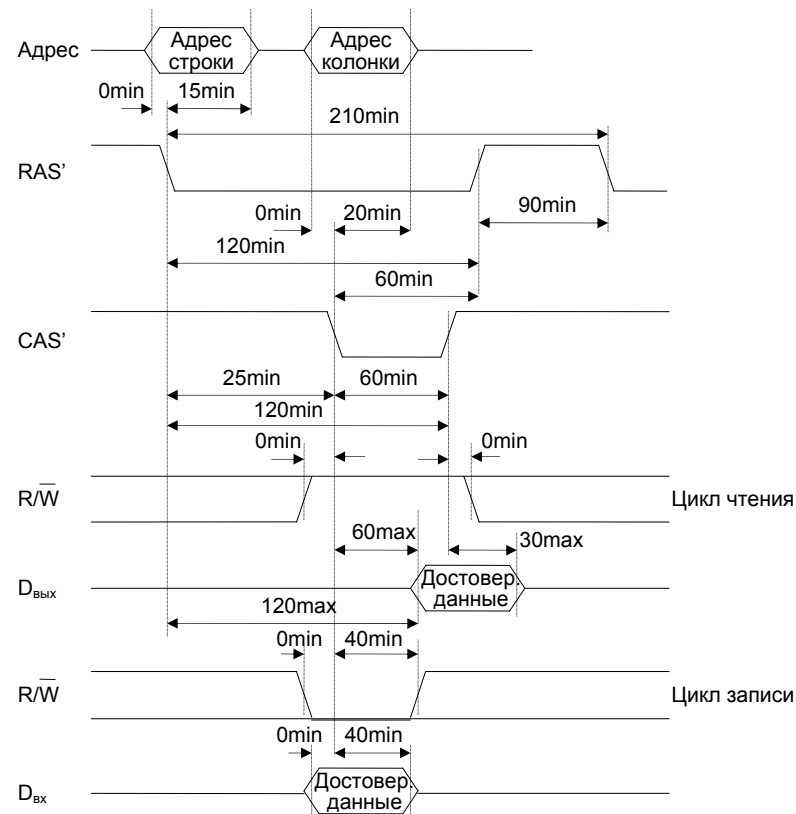


Рис. 4.5. Циклы чтения и записи динамического ОЗУ (Motorola, 120 нс)

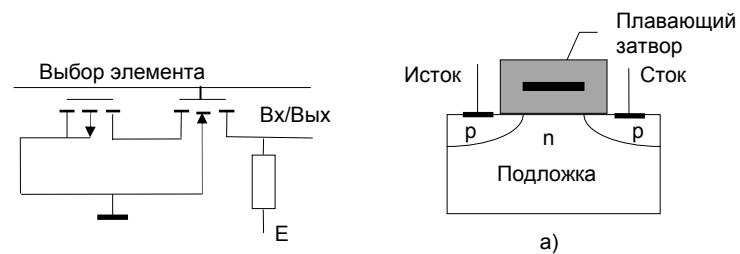


Рис. 4.7. Элемент памяти ПЗУ с ультрафиолетовым стиранием: а) МОП-транзистор с плавающим затвором

5. Интерфейс ввода-вывода данных

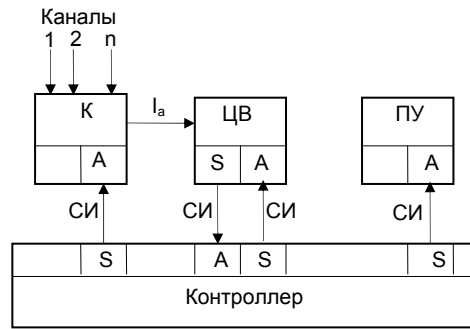


Рис. 5.1. Пример использования интерфейса ИРПП



Рис. 5.2. Структура связей между источником и приемником сообщений

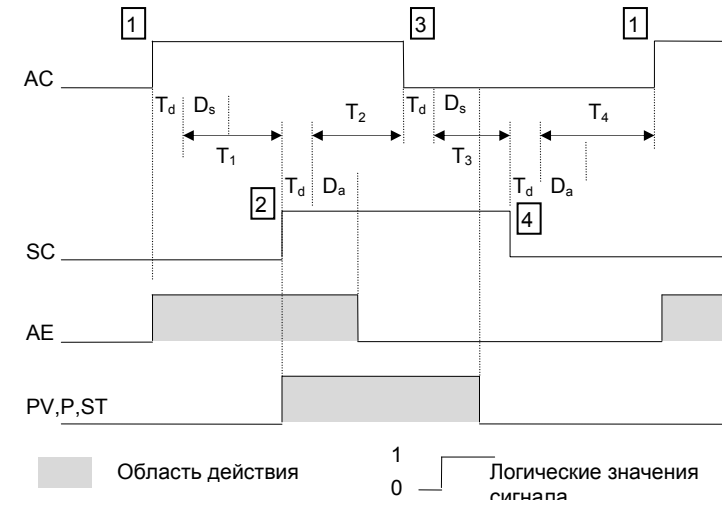


Рис. 5.3. Временная диаграмма передачи данных

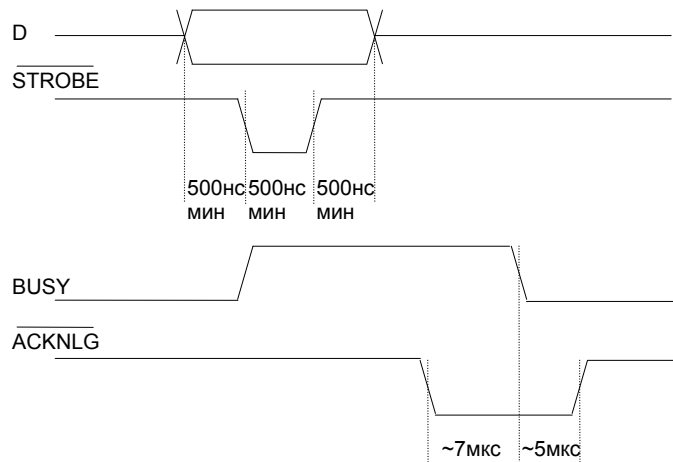


Рис. 5.4. Временные соотношения стандартного интерфейса Centronics

Таблица 5.1. Сигналы интерфейса Centronics

Название	Номер контакта	Направление
STROBE'	1	Выход
D0...D7	2...9	Выход
ACKNLG'	10	Вход
BUSY	11	Вход
PE'	12	Вход
SLCT	13	Вход
AUTO FEED XT'	14	Выход
CHASSIS GND	17	Вход
INIT'	31	Выход
ERROR'	32	Вход
GND	33	Вход
SLCT IN'	36	Выход



Рис. 5.5. Формат кадра передаваемой информации

Таблица 5.2 Соответствие токов логическим состояниям

Логическое состояние	Токовая петля	
	20 мА	40 мА
0	0 - 3 мА	5 - 10 мА
1	15 - 25 мА	30 - 50 мА

Таблица 5.3. Сигналы 9-контактного RS232C

Наименование	Номер контакта	Направление DTE↔DCE	Функция (со стороны DTE)
TxD	3	→	Передаваемые данные
RxD	2	←	Принимаемые данные
RTS	7	→	Запрос передачи (DTE готово послать данные)
CTS	8	←	Готов к передаче (DCE готово принять данные)
DTR	4	→	DTE готово
DSR	6	←	DCE готово
DCD	1	←	Детектор принимаемого сигнала
RI	9	←	Индикатор вызова
SG	5		Общий

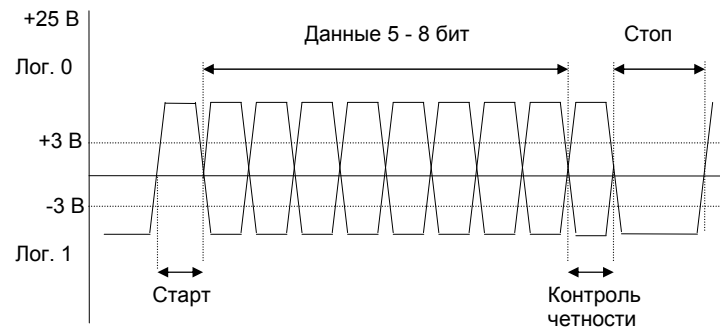


Рис. 5.6. Логические уровни передаваемого кадра данных в стандарте RS232C

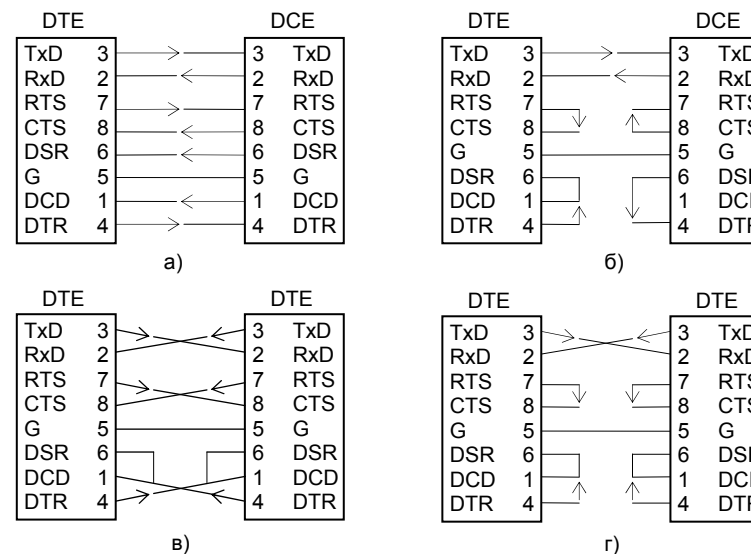


Рис. 5.7. Кабели 9-контактные RS232C: а) для пары DTE - DCE с линиями квитирования; б) для пары DTE - DCE без линий квитирования; в) для пары DTE - DTE с линиями квитирования; г) для пары DTE - DTE без линий квитирования

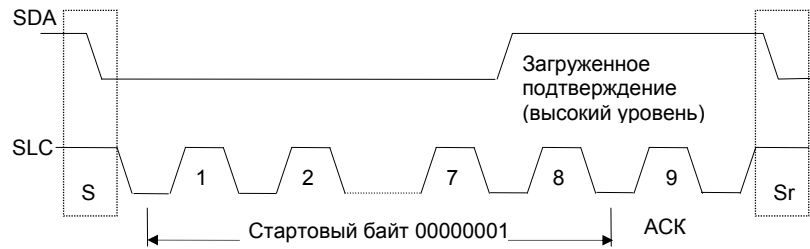


Рис. 6.13. Процедура стартового байта

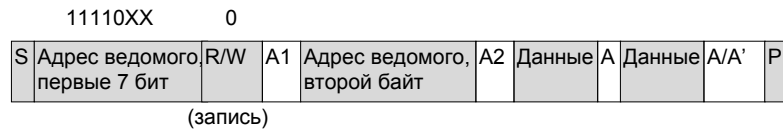


Рис. 6.14. Ведущий передатчик адресует ведомый приемник с 10-битным адресом



Рис. 6.15. Ведущий приемник адресует ведомый передатчик с 10-битным адресом



Рис. 6.16. Комбинированный формат. Ведущий адресует ведомое устройство с 10-битным адресом, а затем передает данные ему и читает данные от него



Рис. 6.17. Комбинированный формат. Ведущий передает данные двум ведомым устройствам с 10-битными адресами



Рис. 6.18. Комбинированный формат. Ведущий передает данные двум ведомым устройствам: одному с 7-битным адресом, другому с 10-битным адресом

7. Интерфейсные контроллеры

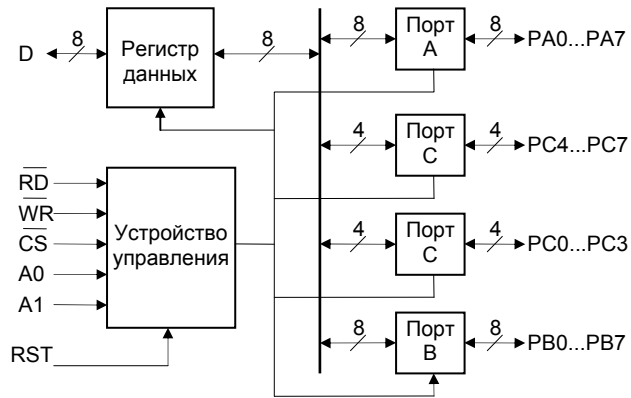


Рис. 7.1. Структурная схема БИС программируемого параллельного интерфейса KP1834BB55A

Таблица 7.1. Управляющие сигналы

Сигналы на входах					Направление передачи данных
A1	A0	RD'	WR'	CS'	
0	0	0	1	0	Операции ввода (чтение)
0	1	0	1	0	PA → регистр данных
0	0	1	0	0	PB → регистр данных
1	0	0	1	0	PC → регистр данных
0	0	1	0	0	Операции вывода (запись)
0	1	1	0	0	регистр данных → PA
1	0	1	0	0	регистр данных → PB
1	1	1	0	0	регистр данных → регистр управляющего слова
X	X	X	X	1	Операции блокировки
1	1	0	1	0	Регистр данных в высокоомном состоянии
					Запрещено

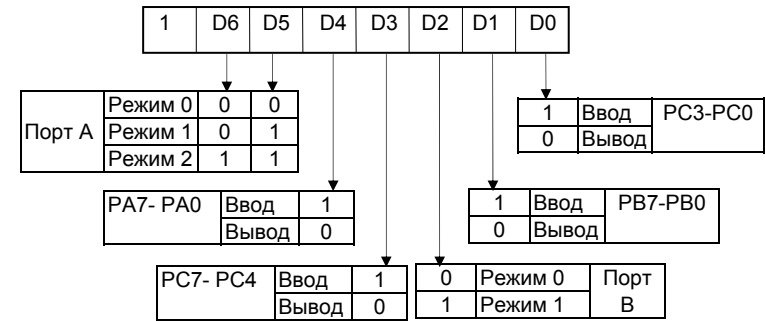


Рис. 7.2. Формат управляющего слова, задающего режим

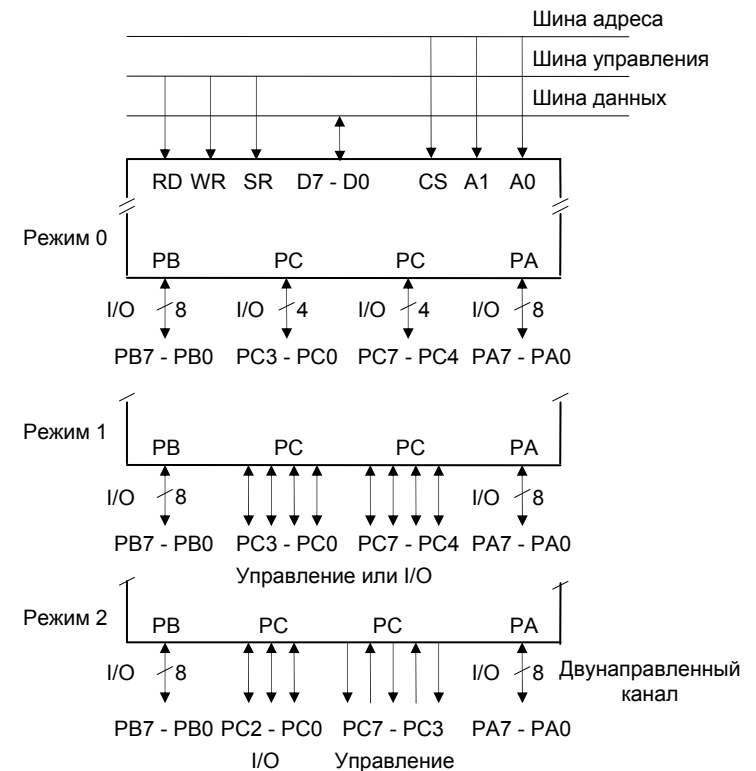


Рис. 7.3. Графическое представление режимов работы

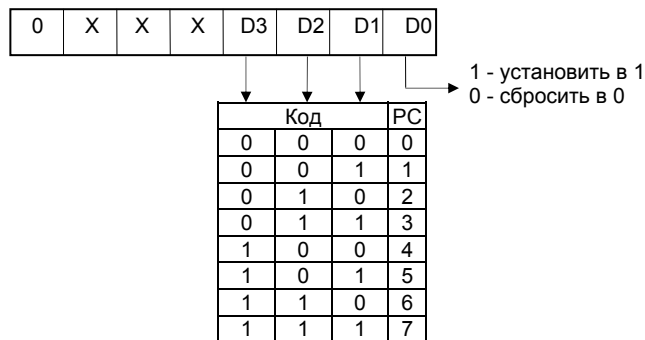


Рис. 7.4. Формат управляющего слова установки/сброса разрядов регистра PC

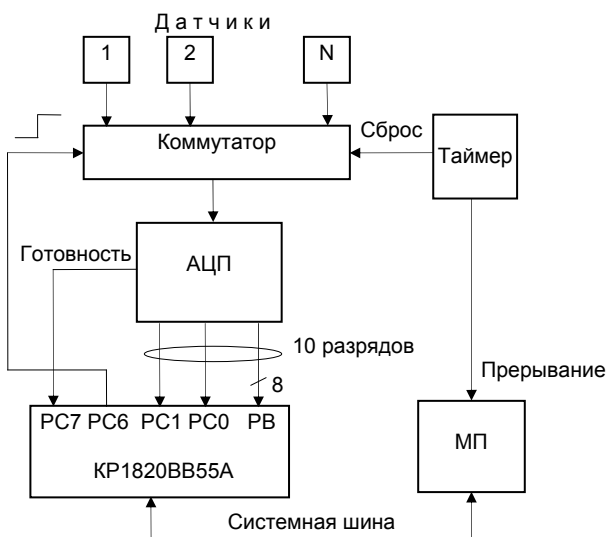


Рис. 7.5. Структурная схема системы сбора информации

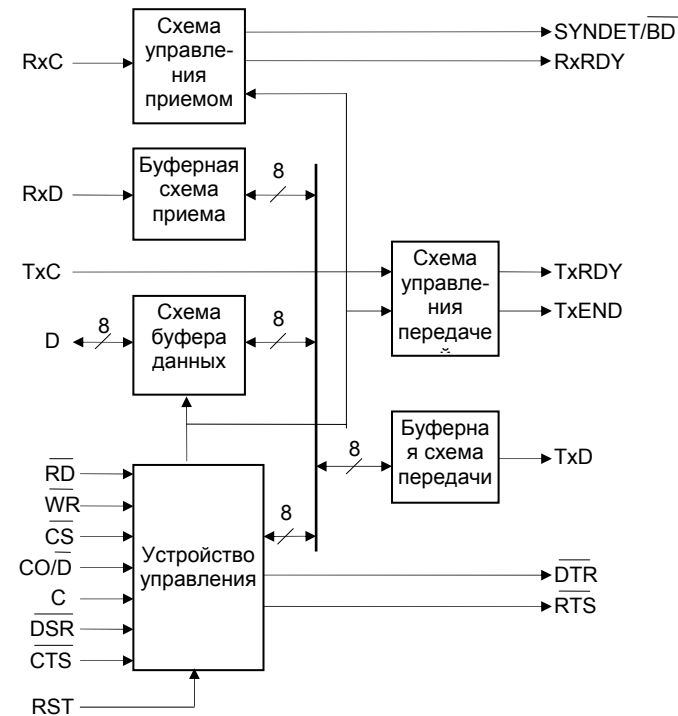


Рис. 7.6. Структурная схема УСАПП КР580ВВ51А

Таблица 7.2. Управление направлением передачи информации

Сигналы на входах				Направление и вид информации
CO/D'	RD'	WR'	CS'	
1	1	0	0	Канал данных → УСАПП (управление)
0	1	0	0	Канал данных → УСАПП (данные)
1	0	1	0	УСАПП → канал данных (состояние)
0	0	1	0	УСАПП → канал данных (данные)
X	1	1	0	Высокоомное состояние канала данных
X	X	X	1	Высокоомное состояние канала данных

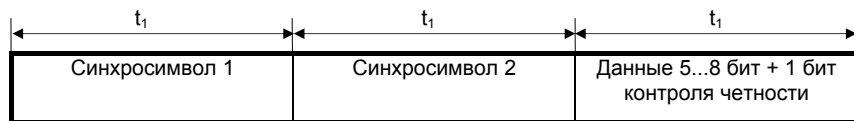


Рис. 7.7. Формат кадра при синхронном режиме обмена данными

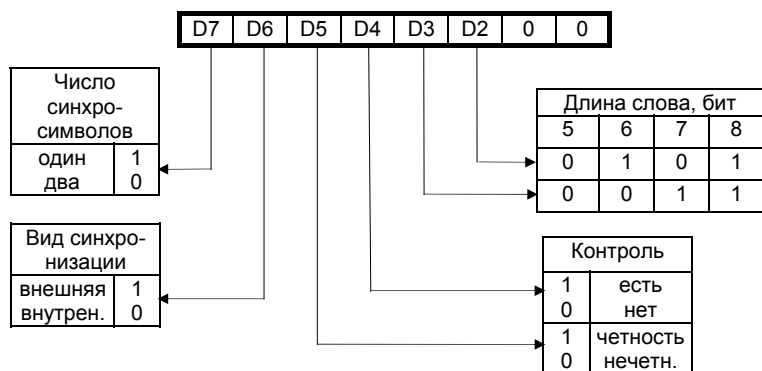


Рис. 7.8. Формат инструкции синхронного режима

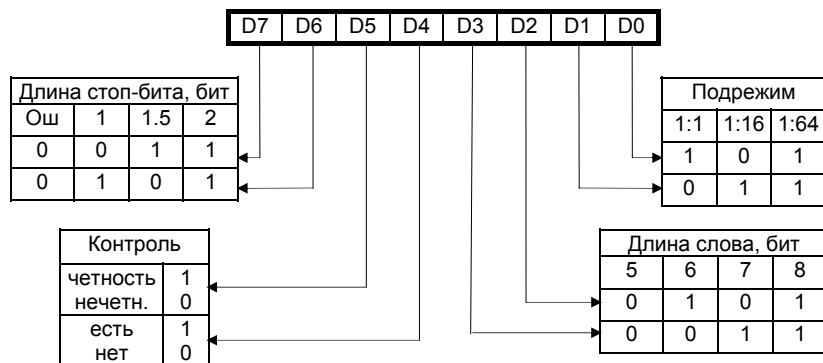


Рис. 7.9. Формат инструкции асинхронного режима

D7	D6	D5	D4	D3	D2	D1	D0
Поиск синхр.	Сброс УСАПП	RTS	Сброс ошибки	Пауза	Прием	DTR	Передача

Рис. 7.10. Формат командной инструкции УСАПП

D7	D6	D5	D4	D3	D2	D1	D0
DSR	SYNDET	Ошибка формата	Ошибка переполнения	Ошибка четности	TxEND	RxRDY	TxRDY

Рис. 7.11. Формат слова состояния УСАПП

Таблица 7.3. Основные характеристики PIC семейства 16CXX

PIC	16C54	16C55	16C56	16C57	16C64	16C71	16C74	16C84
Тактовая частота	16	16	16	16	25	16	20	10
Память программ EPROM килослов	0,5x12	0,5x12	1x12	2x12	2x14	1x14	4x14	-
Память данных, байт	25	25	25	72	128	36	192	36
Память данных EERAM	-	-	-	-	-	-	-	64
Глубина стека	2	2	2	2	8	8	8	8
Таймер0 (8+8 бит)	+	+	+	+	+	+	+	+
Таймер1 (16 бит)	-	-	-	-	+	-	+	-
ШИМ выход	-	-	-	-	+	-	+	-
Последовательный порт	-	-	-	-	+	-	+	-
АЦП(8 бит), число каналов	-	-	-	-	-	4	8	-
Число прерываний	-	-	-	-	8	4	12	4
Порты ввода-вывода	12	20	12	20	33	13	33	13
Число выводов корпуса	18	28	18	28	40	18	40	18

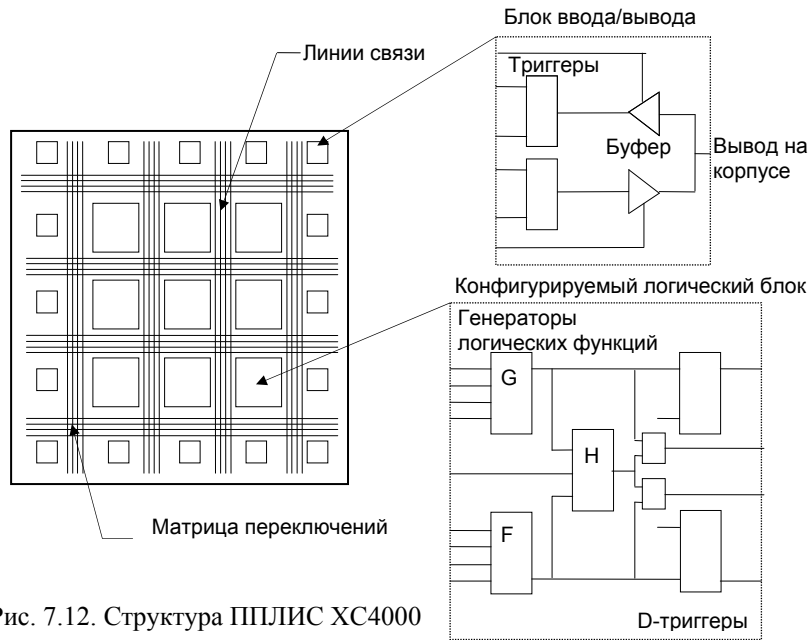


Рис. 7.12. Структура ППЛИС XC4000

Таблица 7.4. Количество элементов на ППЛИС

ППЛИС	Количество вентиляей	Количество блоков CLB	Количество блоков IOB
XC2000	1200 - 1800	100	74
XC3000	2000 - 9000	320	144
XC3100	2000 - 9000	320	144
XC4000	2000 - 20000	900	240

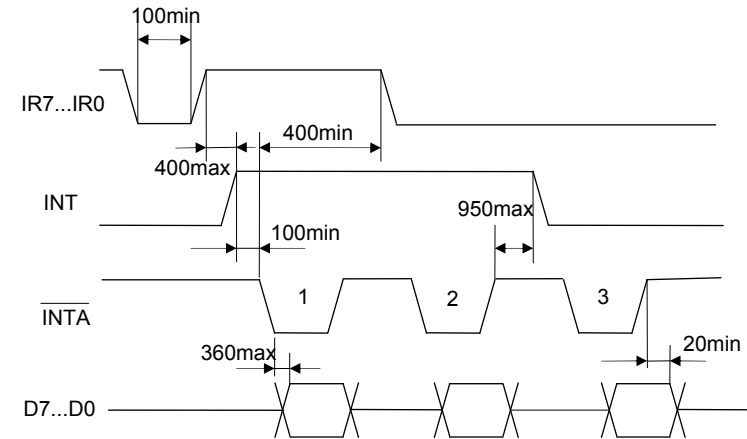


Рис. 8.2. Временные диаграммы режима обслуживания прерываний по запросу

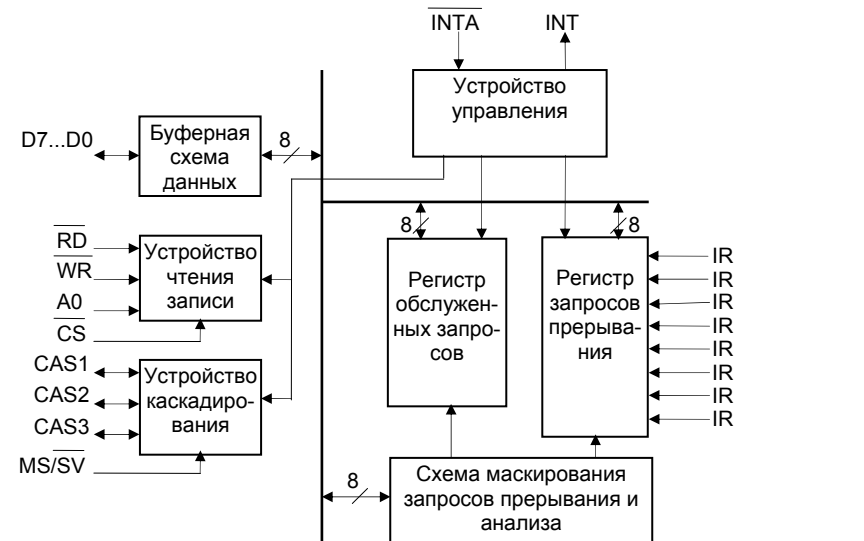


Рис. 8.1. Структурная схема программируемого контроллера прерываний

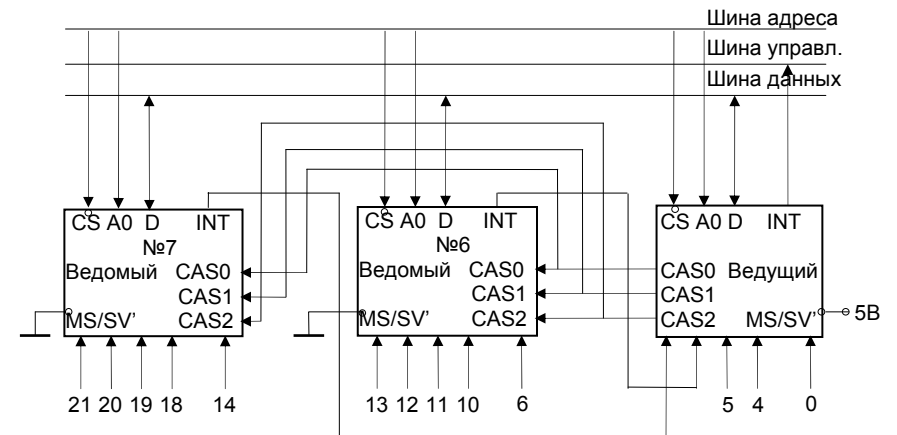


Рис. 8.3. Схема каскадного соединения БИС KP580BH59A

8. Обмен данными по прерыванию

9. Микроконтроллеры

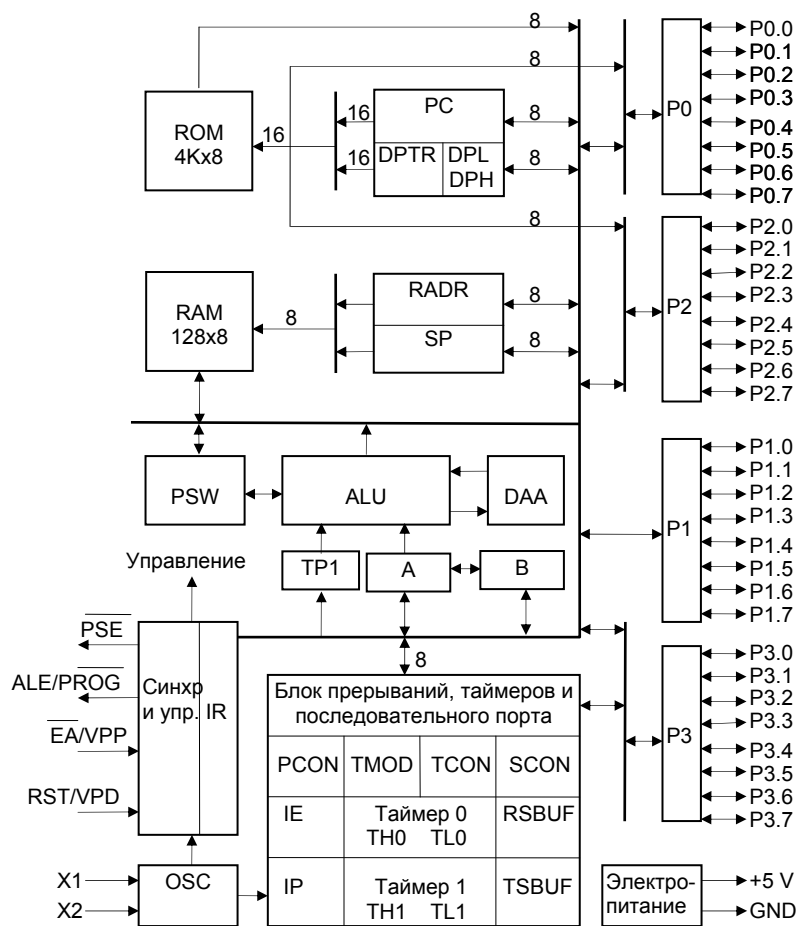


Рис. 9.1. Структурная схема микроконтроллера BE51

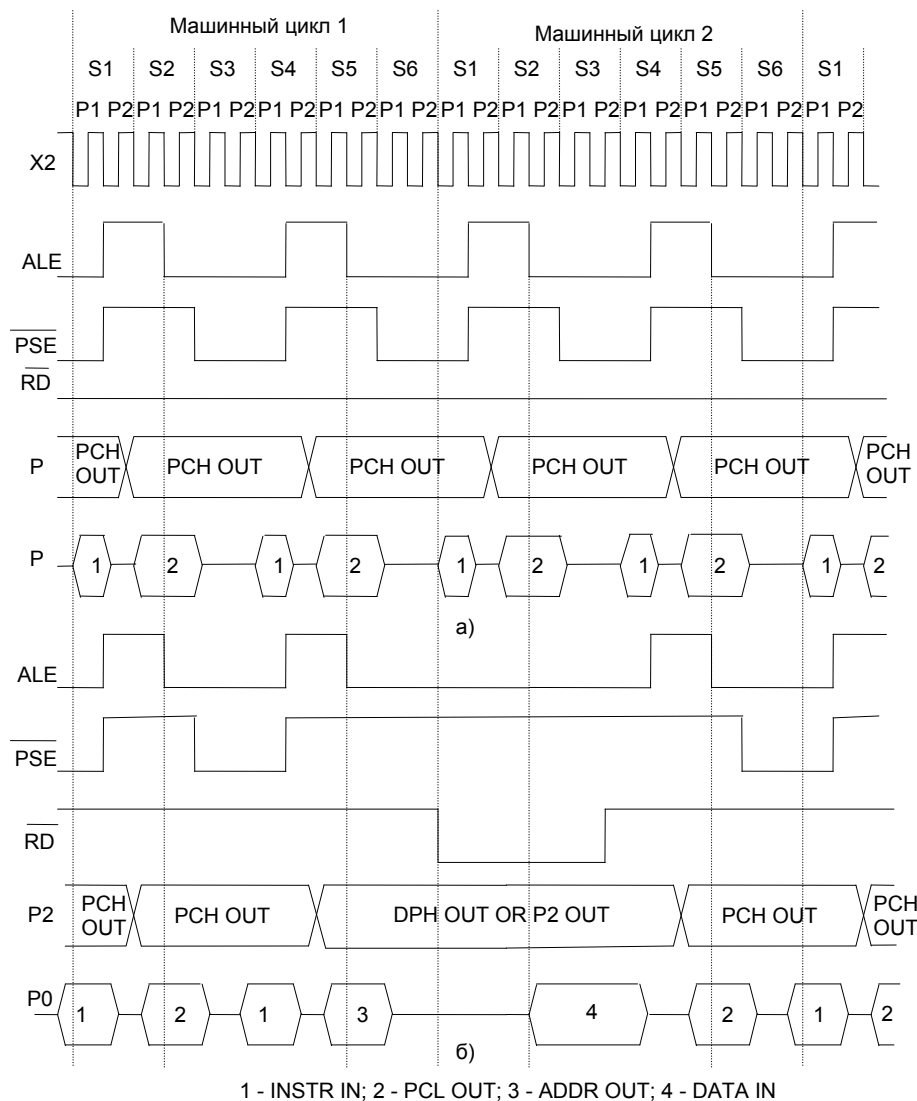


Рис. 9.2. Временные диаграммы операций с обращением к внешней памяти: а) без команды MOVX; б) с командой MOVX

1 - INSTR IN; 2 - PCL OUT; 3 - ADDR OUT; 4 - DATA IN

Таблица 9.1. Альтернативные функции порта P3

Разряд	Символ	Назначение
P3.7	RD'	Чтение. Активный низкий сигнал формируется аппаратно при обращении к ВГД
P3.6	WR'	Запись. Активный низкий сигнал формируется аппаратно при обращении к ВГД
P3.5	T1	Вход таймера/счетчика 1 или тест-вход
P3.4	T0	Вход таймера/счетчика 0 или тест-вход
P3.3	INT1'	Вход запроса прерывания 1. Воспринимается сигнал низкого уровня или срез
P3.2	INT0'	Вход запроса прерывания 0. Воспринимается сигнал низкого уровня или срез
P3.1	TXD	Выход передатчика последовательного порта. Выход синхронизации в режиме сдвигающего регистра
P3.0	RXD	Вход приемника последовательного порта. Ввод-вывод данных в режиме сдвигающего регистра

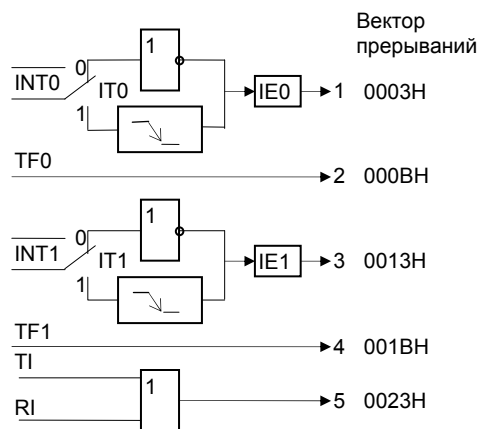


Рис. 9.3. Схема прерываний MCS51. Цифрами показан порядок опроса при равенстве приоритетов

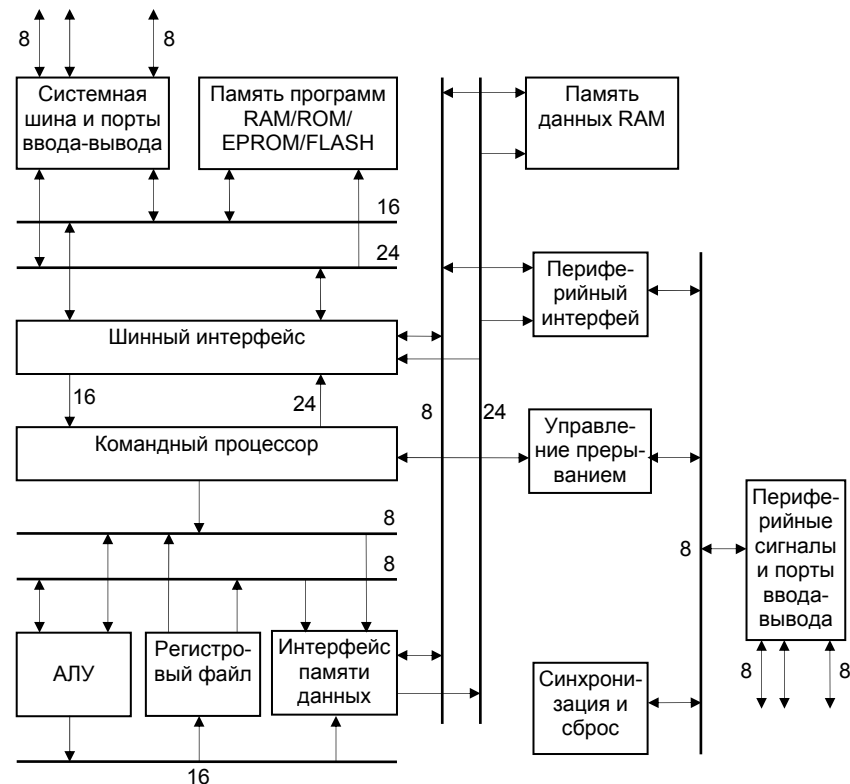


Рис. 9.4. Структурная схема микроконтроллера MCS251

Таблица 9.2. Запросы прерываний

Наименование	Приоритет	Стартовый адрес	Вид сигнала
TRAP	1	24H	Переход из 0 в 1
RST7.5	2	3CH	Переход из 0 в 1
RST6.5	3	34H	1
RST5.5	4	2CH	1
INTR	5	Аналогично 8080A	1

Таблица 9.3. Содержимое аккумулятора при выполнении команды SIM

Разряд	Наименование	Пояснение
A0	M5.5	Маска RST5.5
A1	M6.5	Маска RST6.5
A2	M7.5	Маска RST7.5
A3	MSEN	Разрешение установки маски
A4	R7.5	Сброс запроса RST7.5
A5		Не используется
A6	SDEN	Разрешение вывода данных
A7	SOD	Последовательные данные для вывода

Таблица 9.4. Содержимое аккумулятора при выполнении команды RIM

Разряд	Наименование	Пояснение
A0	M5.5	Маска RST5.5
A1	M6.5	Маска RST6.5
A2	M7.5	Маска RST7.5
A3	IEN	Флаг разрешения прерываний
A4	D5.5	Флаг запроса RST5.5
A5	D6.5	Флаг запроса RST6.5
A6	D7.5	Флаг запроса RST7.5
A7	SID	Последовательные данные ввода

10. Структура микропроцессора КР1810ВМ86

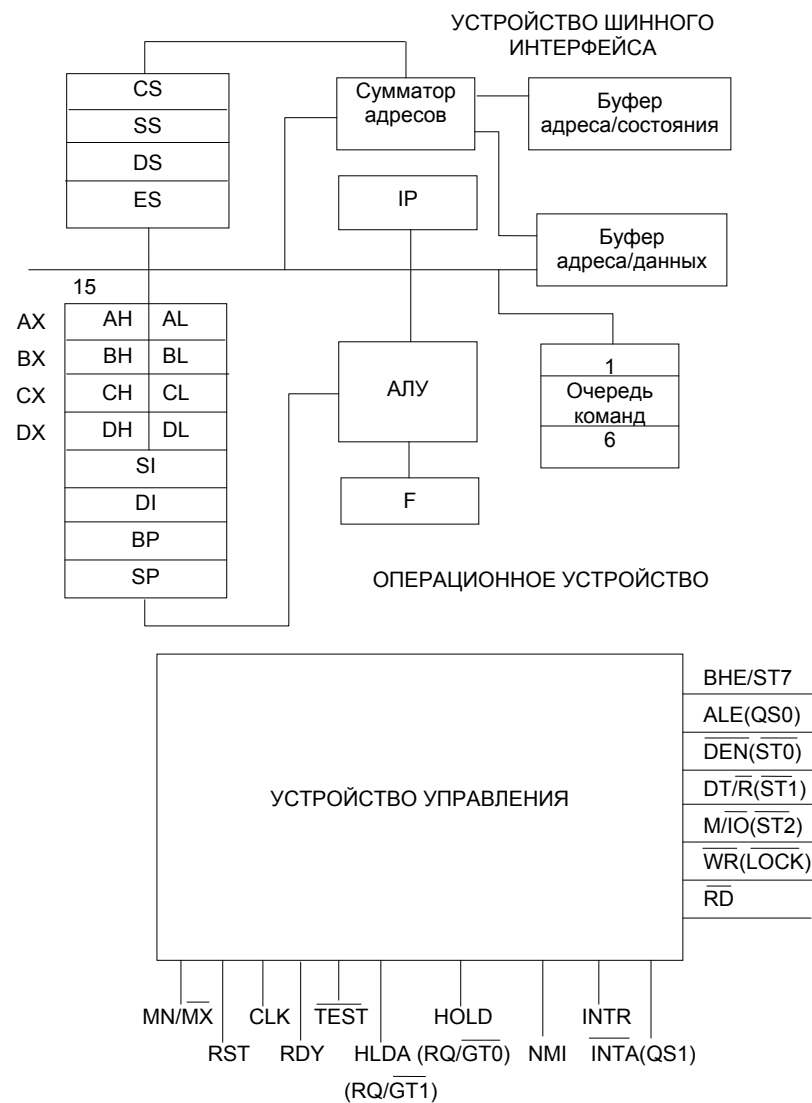


Рис.10.1. Структура микропроцессора КР1810ВМ86

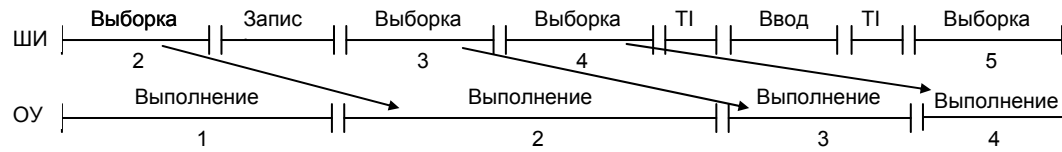


Рис. 10.2. Работа шинного интерфейса

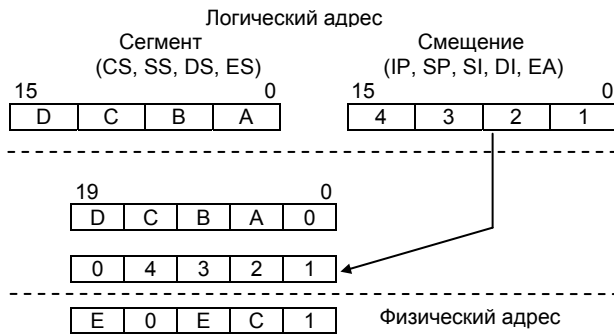


Рис.10.3. Формирование физического адреса

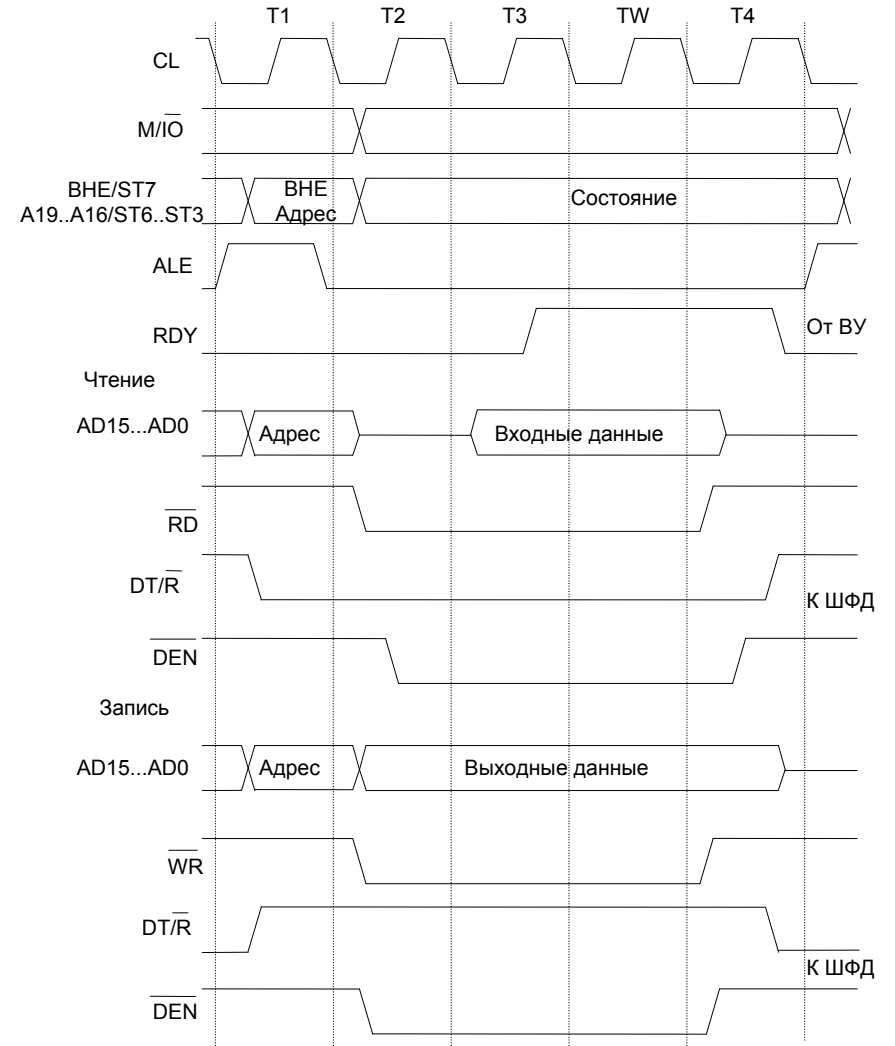


Рис. 10.4. Временные диаграммы обмена данными в минимальном режиме

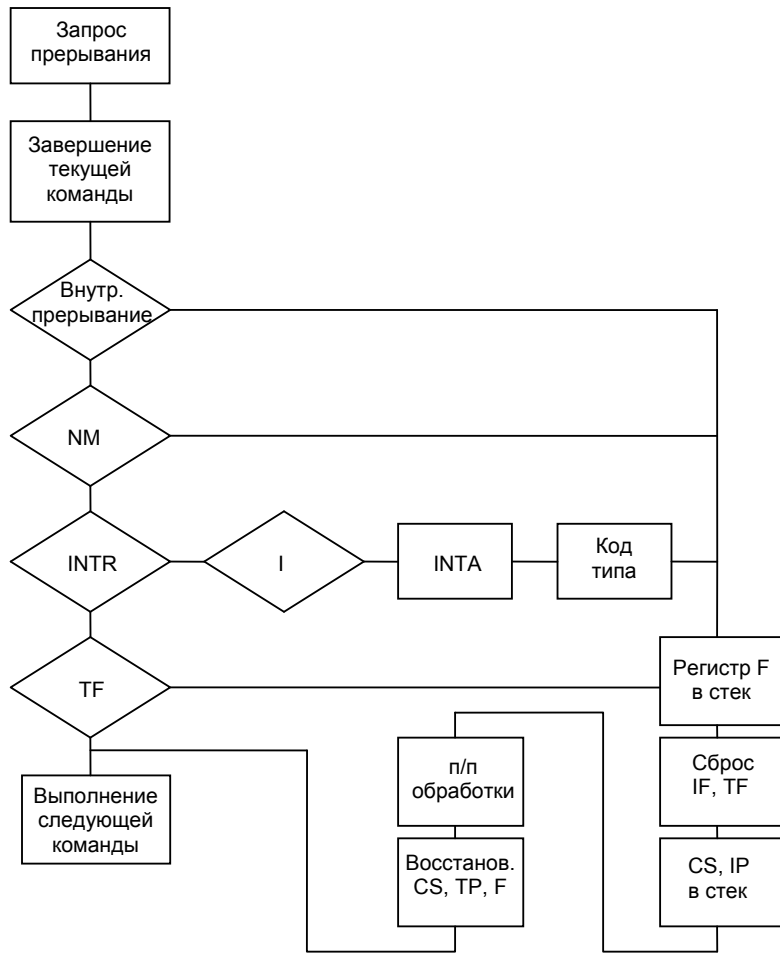


Рис.10.5. Структура прерываний МП 1810

11. Архитектура 32-разрядного микропроцессора

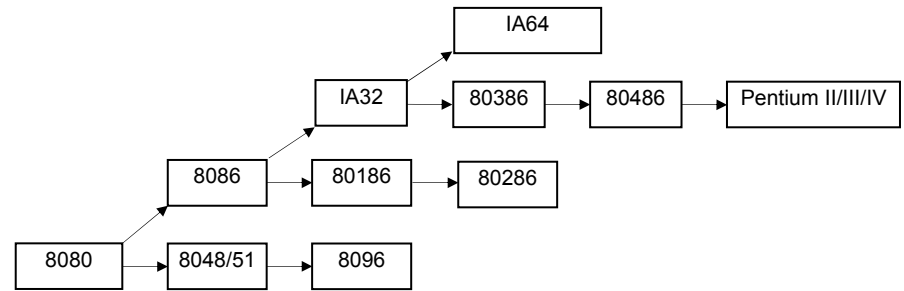


Рис. 11.1. Поколения микропроцессорных архитектур фирмы Intel



Рис. 11.2. Уровни привилегий для каждой задачи

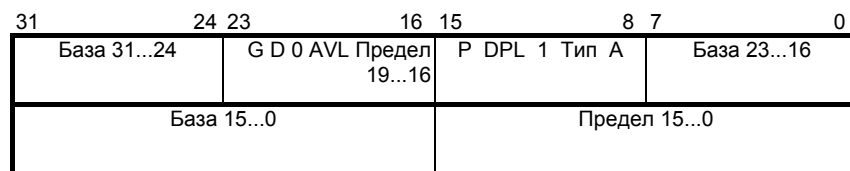


Рис. 11.3. Дескриптор сегмента

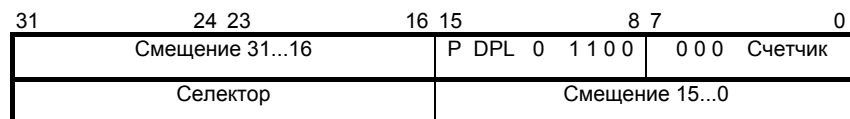


Рис. 11.4. Формат шлюза вызова



Рис. 11.5. Формат линейного адреса при страничной организации памяти

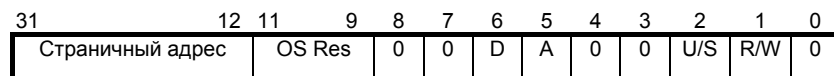


Рис. 11.6. Формат элемента каталога страниц/элемента таблицы страниц

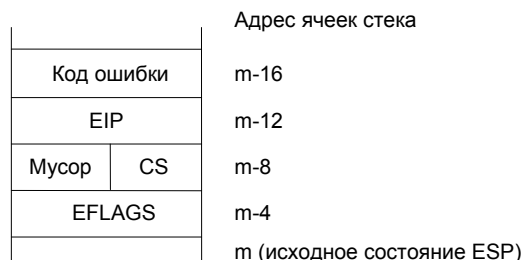


Рис. 11.7. Состояние стека при прерывании

Таблица 11.1. Исключения процессора.

Вектор номера	Название исключения	Вид исключения	Код ошибки	Команды, вызывающие исключения
0	Ошибка деления	Нарушение	Нет	DIV, IDIV
1	Пошаговая работа	Нарушение	Нет	Любая команда
2	NMI			
3	INT 3	Ловушка	Нет	INT 3
4	Переполнение	Ловушка	Нет	INTO
5	Нарушение границы массива	Нарушение	Нет	BOUND
6	Недопустимый код команды	Нарушение	Нет	Любая команда
7	Сопроцессор недоступен	Нарушение	Нет	ESC, WAIT
8	Двойное нарушение	Авария	Да	Любая команда
9	Выход сопроцессора из сегмента	Авария	Нет	Команда сопроцессора с обращением к памяти
10	Недействительный TSS	Нарушение	Да	JMP, CALL, IRET
11	Отсутствие сегмента	Нарушение	Да	Команда загрузки сегмента
12	Ошибка обращения к стеку	Нарушение	Да	Команда обращения к стеку
13	Общая защита	Нарушение	Да	Команда обращения к памяти
14	Страничное нарушение	Нарушение	Да	Команда обращения к памяти
15	Зарезервировано			
16	Ошибка сопроцессора	Нарушение	Нет	ESC, WAIT
17	Ошибка выравнивания	Нарушение	Да	Команда обращения к памяти
18...31	Зарезервированы			
32...255	Аппаратные прерывания и команды INT			

Таблица 11.2. Элемент очереди дешифрованной команды

Длина	Значение
1	Присутствует префикс LOCK
1	Присутствует префикс размера адреса
1	Присутствует префикс размера операнда
12	Адрес элемента управляющей памяти
3	Сегментный регистр
4	Номер базового регистра
4	Номер индексного регистра
2	Масштабный коэффициент
32	Смещение
32	Непосредственный операнд
3	Операнд-регистр (источник)
3	Операнд-регистр (получатель)
14	Другие флажки, модификаторы и т.п.

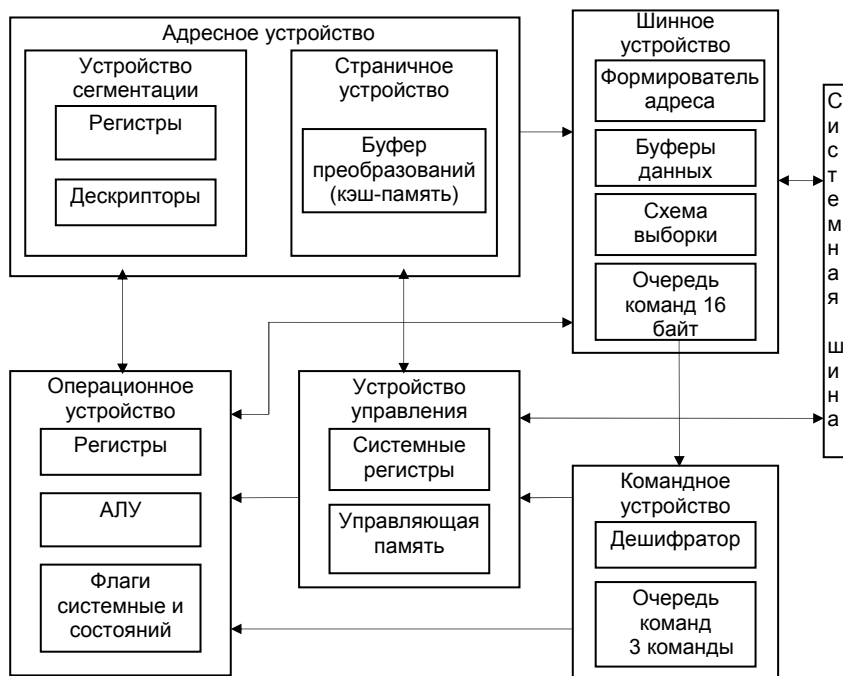


Рис. 11.8. Блок-схема микропроцессора 80386

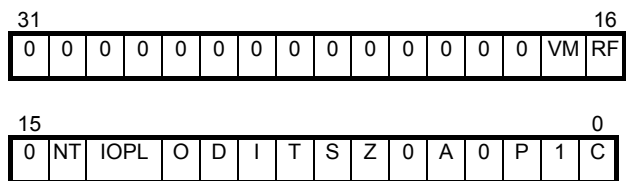


Рис. 11.9. Регистр флагов EFLAGS МП 80386

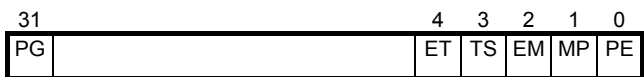


Рис. 11.10. Управляющий регистр CR0

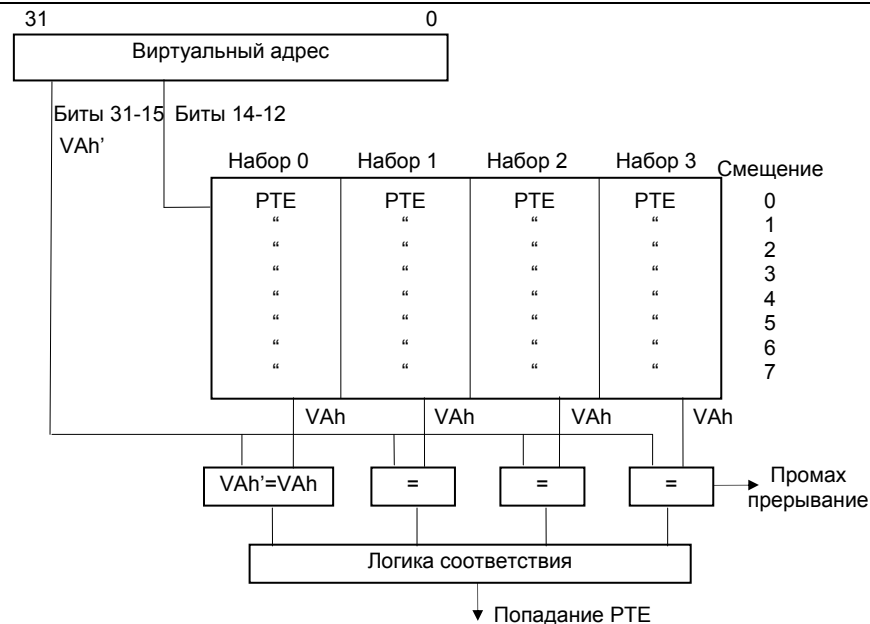


Рис. 11.11. Структура страничной кэш-памяти

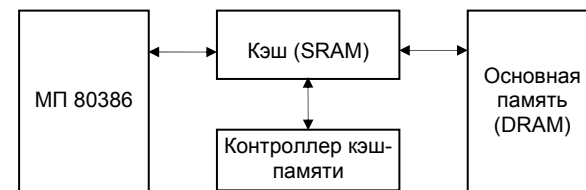


Рис. 11.12. Структурная схема кэш-памяти

Адрес:	Смещение	Тэг	Данные
00FF8001	FFFF	D7	000012F3
Смещение: 8001	"	"	"
Тэг: FF	"	"	"
	"	"	"
Есть попадание →	8001	FF	00000001
	"	"	"
	"	"	"
	"	"	"
	0000	03	F56C4003

Рис. 11.13. Обращение к кэш-памяти

1. Введение

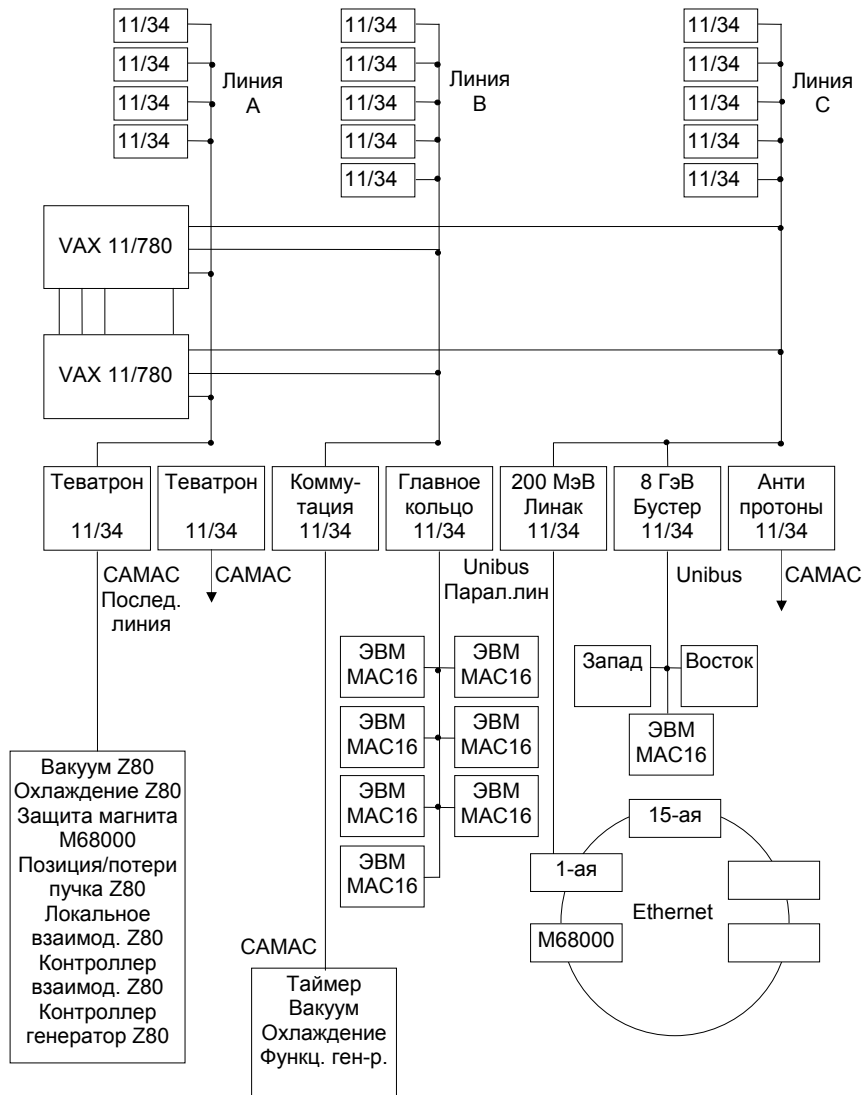


Рис. 1.1. Компьютерная управляющая сеть ускорительного комплекса в Батавии, США

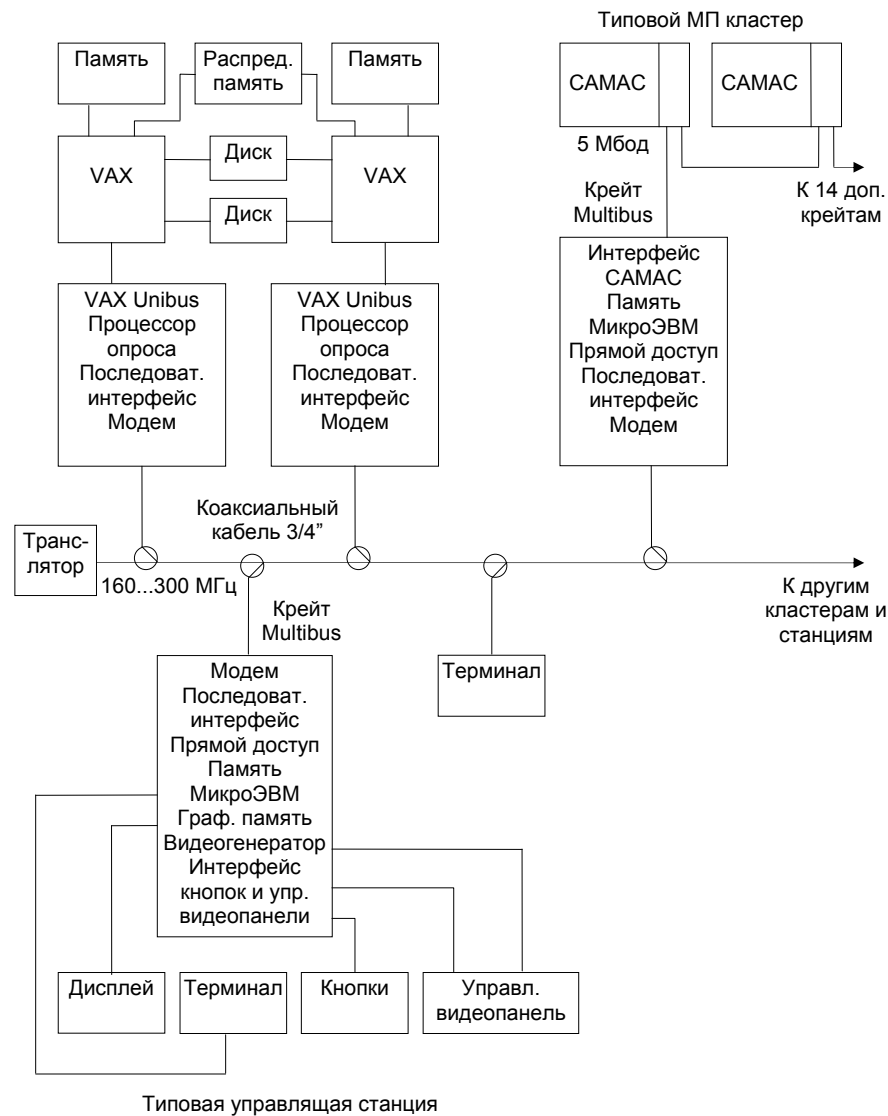


Рис. 1.2. Управляющая система коллайдера SLC в Стенфорде, США

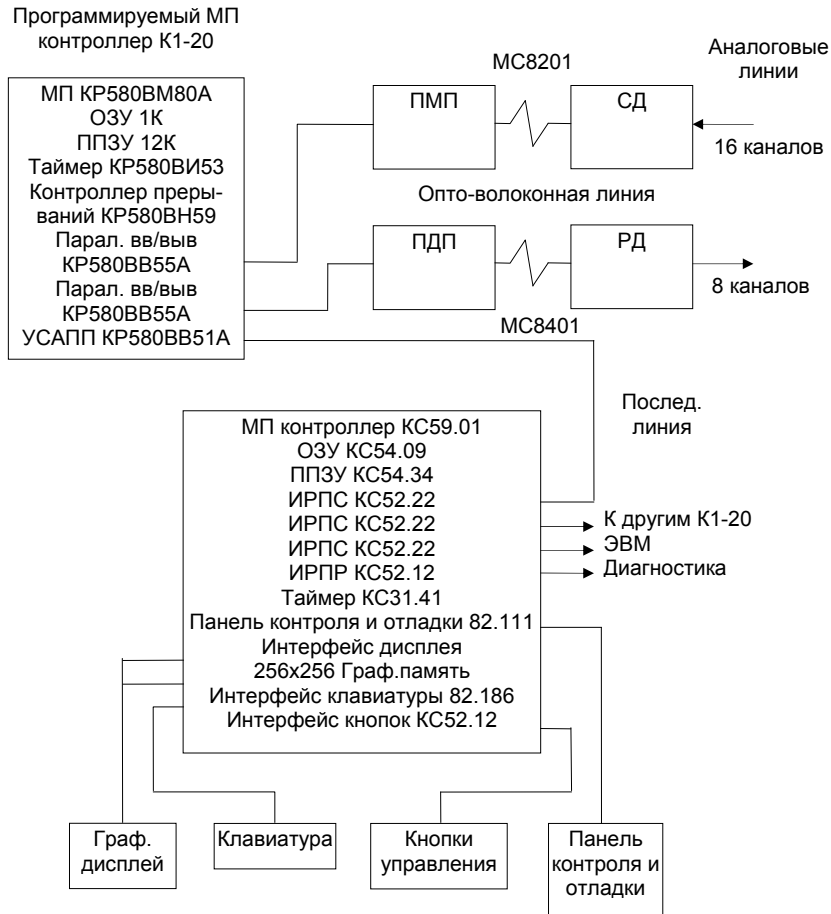


Рис.1.3. Структура управляющей системы небольшой физической установки.

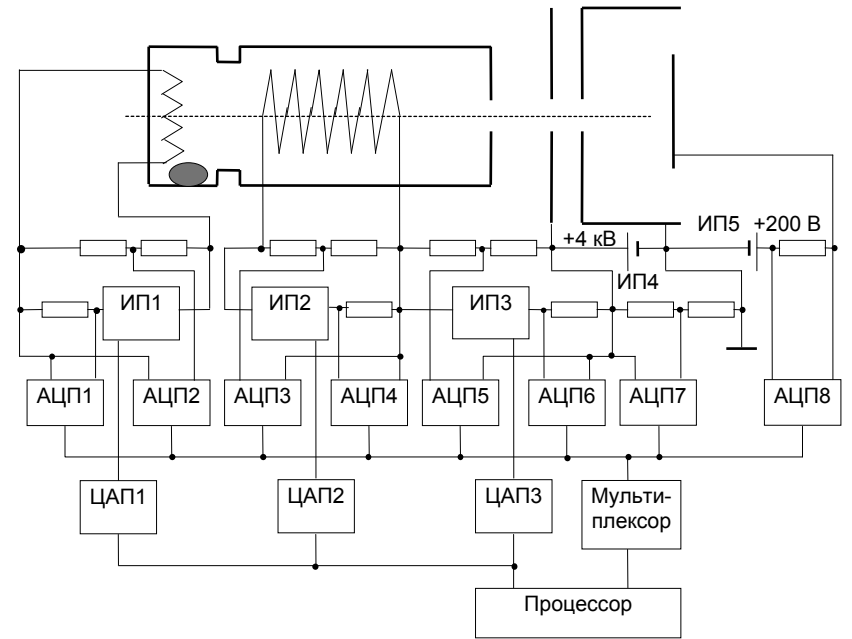


Рис. 1.4. Система управления ионным источником

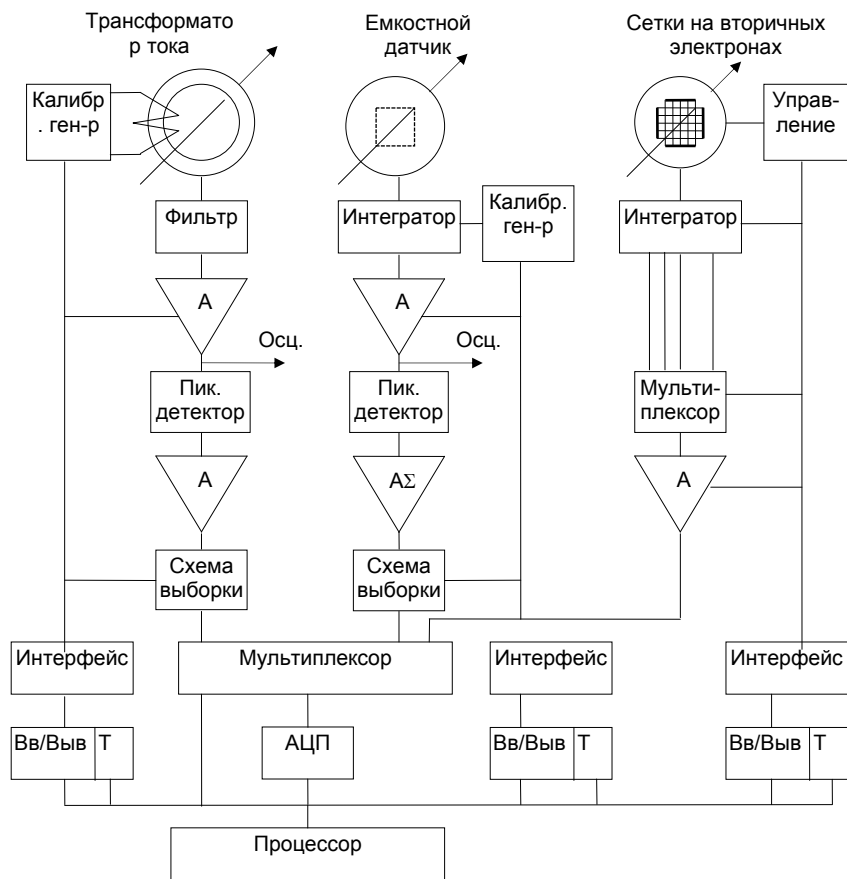


Рис. 1.5. Система диагностики пучка заряженных частиц

2. Принципы построения микропроцессорных систем

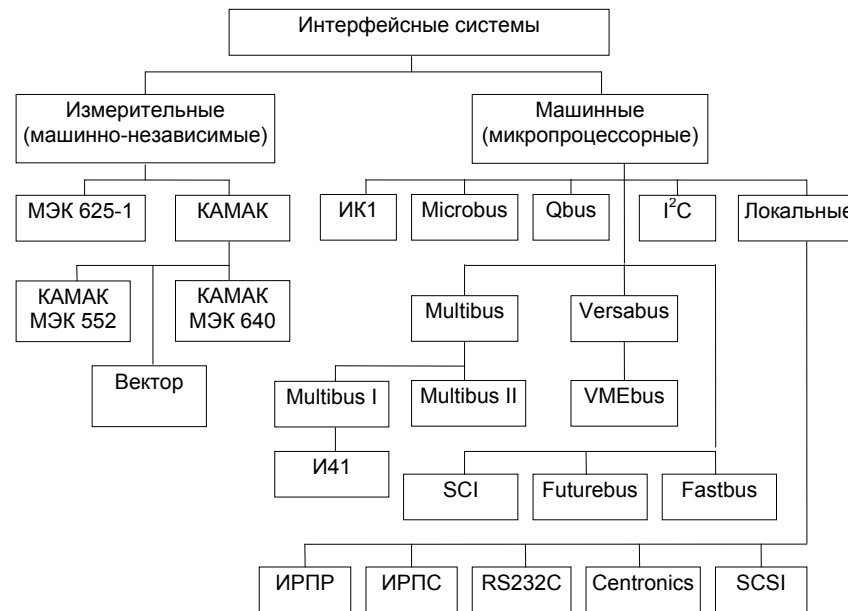


Рис. 2.1. Классификация измерительных и машинных интерфейсных систем

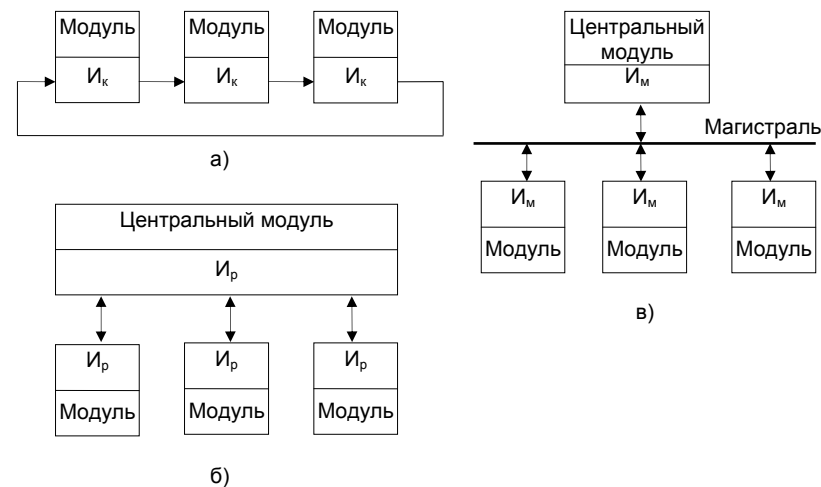


Рис. 2.2. Способы соединения модулей: а) каскадный; б) радиальный; в) магистральный

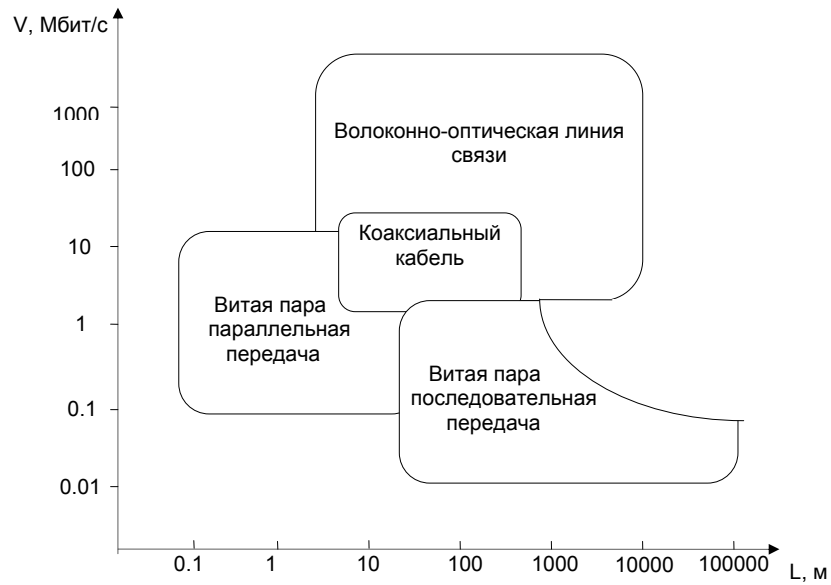


Рис. 2.3. Пропускная способность каналов связи

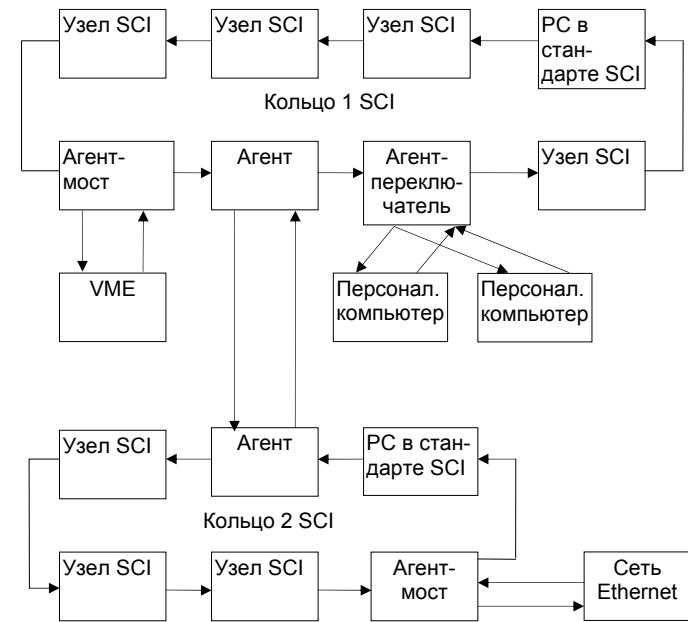


Рис. 2.5. Структура системы SCI

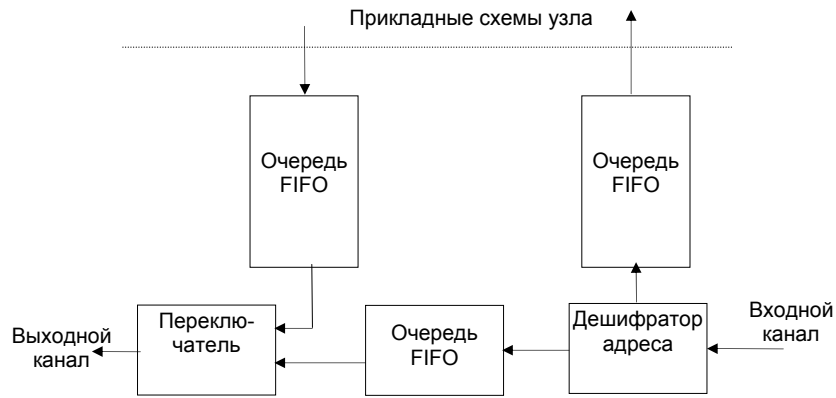


Рис. 2.4. Модель узла SCI

3. Измерительный интерфейс МЭК 625-1

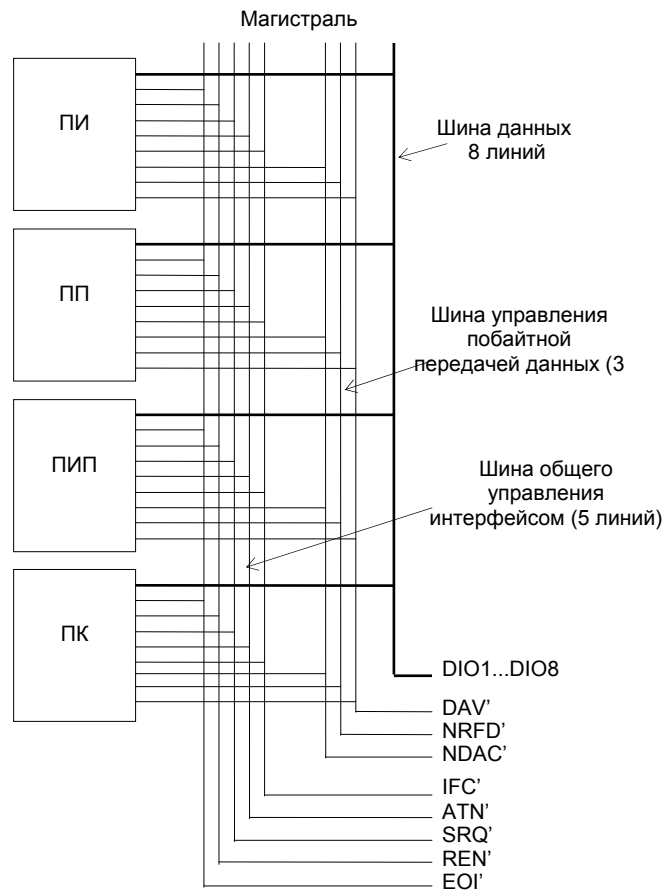


Рис. 3.1. Структурная схема измерительной системы с магистрью МЭК 625-1

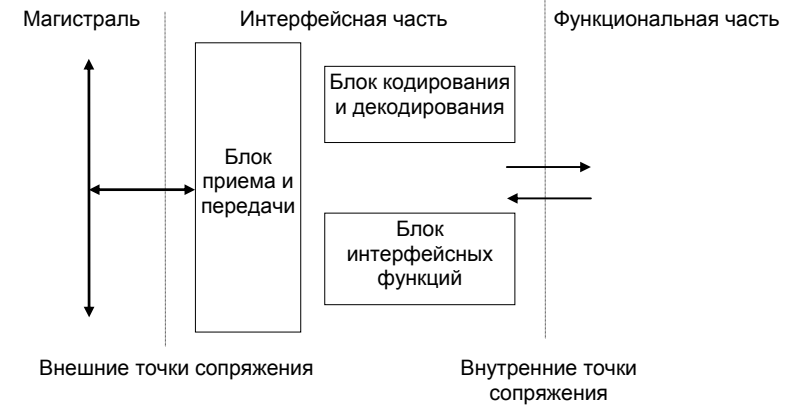


Рис. 3.2. Структурная схема интерфейсного присоединения прибора к магистрью МЭК 625-1

Таблица 3.1. Сообщения, передаваемые при реализации функции АН

Состояние	Сообщения		Примечание
	NRFD'	NDAC'	
AIDS	F	F	Исходное состояние
ANRS	T	T	Состояние неготовности
ACRS	F	T	Состояние готовности
ACDS	T	T	Состояние приема
AWNS	T	F	Состояние ожидания

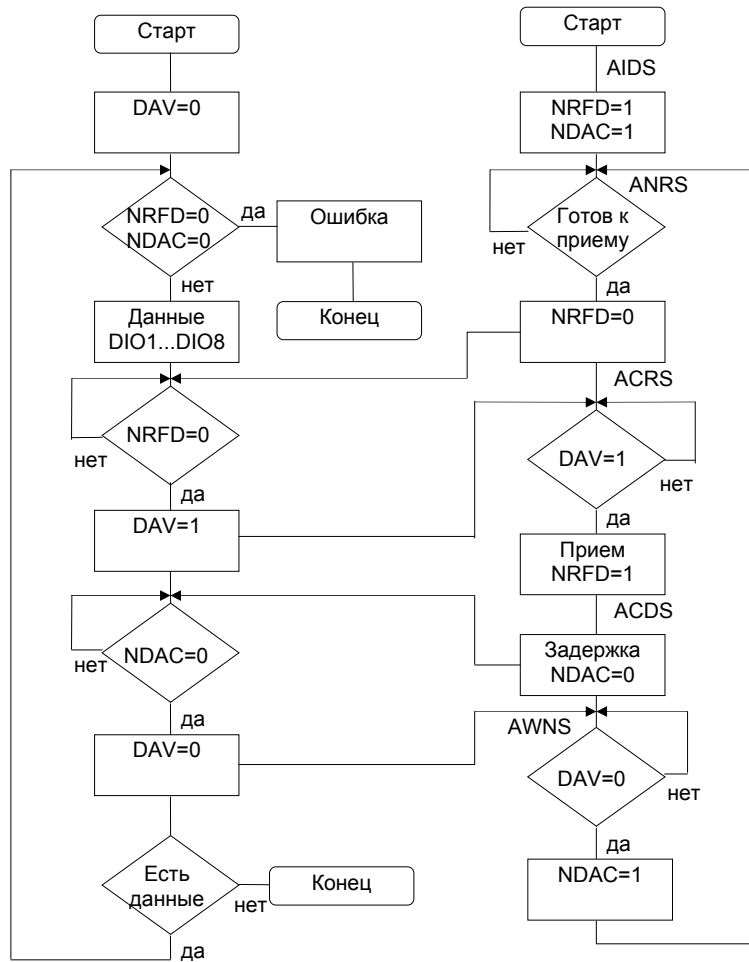


Рис. 3.3. Структурная схема алгоритма обмена данными двух приборов: источника и приемника

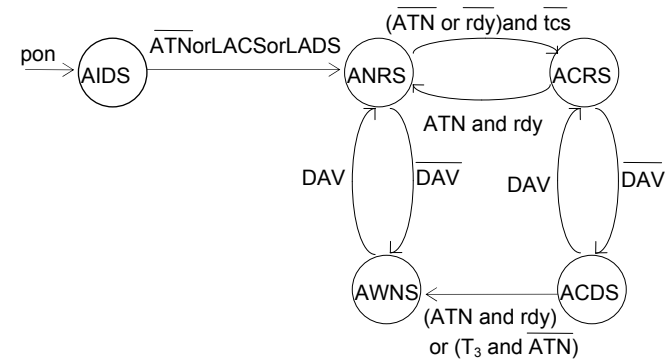


Рис. 3.4. Граф состояний функции АН

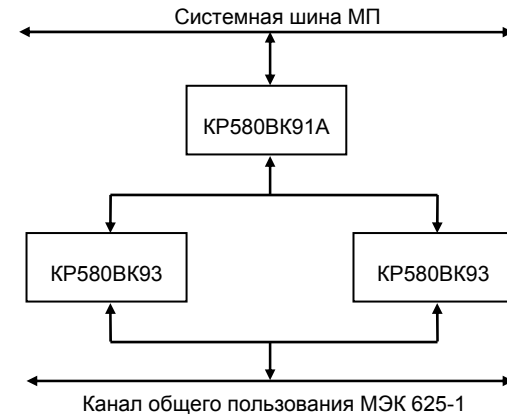


Рис. 3.5. Подключение КОП к системной шине МП КП580BM80А

4. Система КАМАК

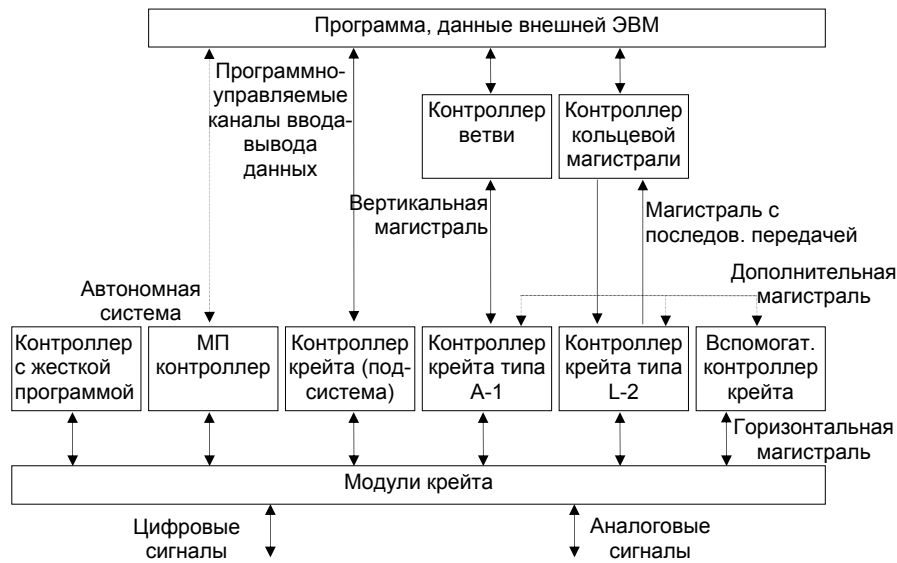


Рис.4.1. Структура конфигураций систем КАМАК

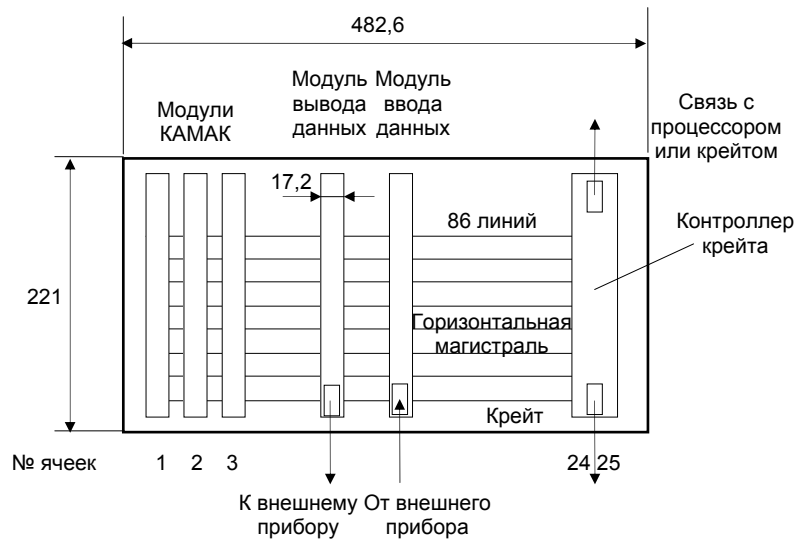


Рис. 4.2. Конструкция крейта КАМАК



Рис. 4.3. Основные шины горизонтальной магистрали

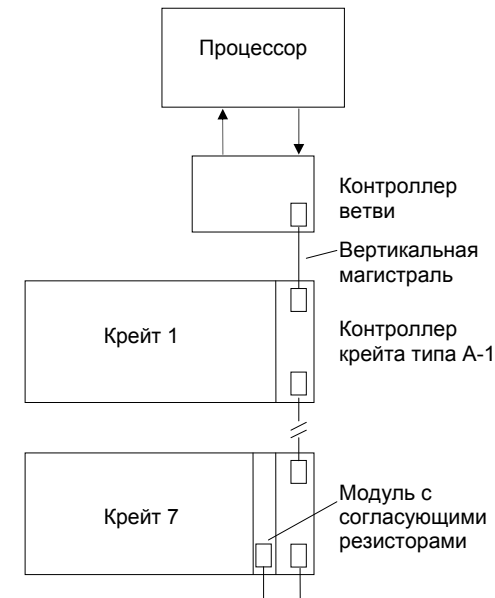


Рис. 4.4. Структура системы КАМАК с вертикальной магистралью

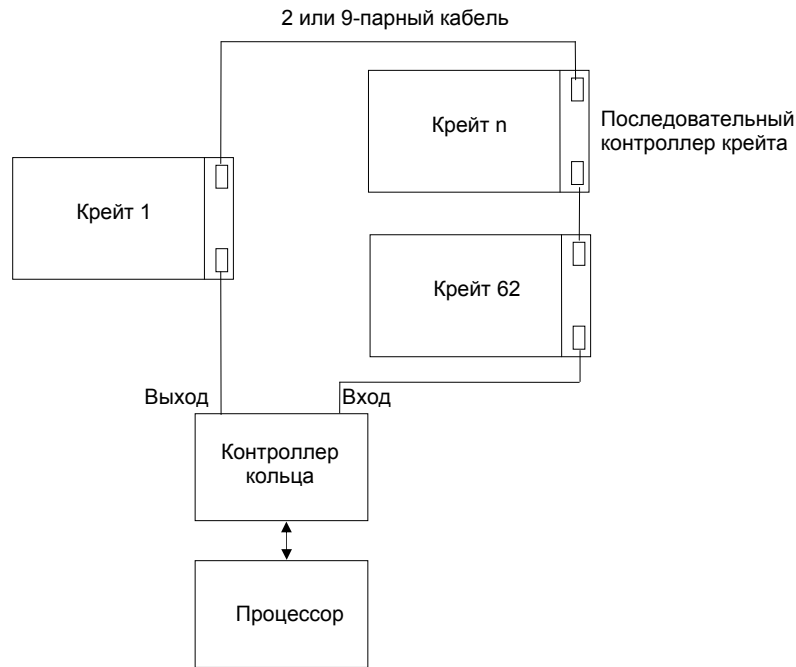


Рис. 4.5. Структура системы КАМАК с последовательной магистралью

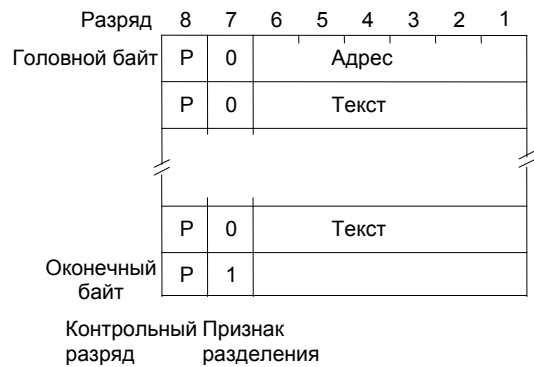


Рис. 4.6. Основной формат сообщения, передаваемого в кольцевой магистральной КАМАК



Рис. 4.7. Формат сообщения с поразрядно передаваемым байтом

Разряд	8	7	6	5	4	3	2	1		
Головной байт	P	0	SC32				SC1			Адрес
Байт 2	P	0	0	0	SA8	SA1			Субадрес A	
Байт 3	P	0	1	SF16			SF1		Функция F	
Байт 4	P	0	1	SN16			SN1		Ячейка N	
Байт 5	P	0	SW24				SW19			Данные записи
Байт 6	P	0	SW18				SW13			
Байт 7	P	0	SW12				SW7			
Байт 8	P	0	SW6				SW1			
Байт 9	1	0	X	X	X	X	X	X	SUM	
Байт 10	1	1	1	0	0	0	0	0	END	

Рис. 4.8. Структура командного сообщения

Разряд	8	7	6	5	4	3	2	1		
Головной байт	P	0	SC32				SC1			Адрес
Байт 2	P	0	0	1	DER SQ	SX ERR			Байт состояния	
Байт 3	P	0	SR24				SR19			Данные чтения
Байт 4	P	0	SR18				SR13			
Байт 5	P	0	SR12				SR7			
Байт 6	P	0	SR6				SR1			
Байт 7	P	1	X	X	X	X	X	X	ENDSUM	

Рис. 4.9. Структура ответа на командное сообщение

5. Комплекс технических средств для локальных информационно-управляющих систем КТС ЛИУС-2

Таблица 5.1 Состав линий интерфейсной магистрали

Наименование линии	Обозначение	Примечание
Адресные	A0...A18	Сигналы передаются по магистральной адресной шине однонаправлено. Имеют три устойчивых состояния в источниках сигнала.
Данные	D0...D7	Сигналы передаются по шине данных магистрали двунаправлено. Имеют три устойчивых состояния в источниках и приемниках сигнала.
Управление: а) обменом: чтение запись прием выдача ответ	ЧТН ЗАП ПРМ ВДЧ ОТВ	Сигналы передаются по магистральной шине однонаправлено. Имеет три устойчивых состояния в источнике.
б) прерыванием: запрос прерывания	ЗПР1...ЗПР7	Сигналы передаются по радиальным линиям
в) доступом к магистрали: запрос доступа к магистрали разрешение доступа к магистрали Синхронизация	ЗДМ1...ЗДМ7 РДМ1...РДМ7 СНХ	То же То же Сигнал передается по магистральной шине
Установка в исходное состояние	УСТ	То же

Таблица 5.2. Распределение сигналов ИК1 на разъеме интерфейсной магистрали

Контакт	Наименование сигнала	Контакт	Наименование сигнала
1	Питание +5 В	37	ОТВ
2	ОШ	38	A16
3	Питание +5 В	39	A17
4	ОШ	40	A18
5	Питание +5 В	41	-
6	ОШ	42	-
7	Питание +5 В	43	ЗПР1
8	ОШ	44	ЗПР2
9	A0	45	ЗПР3
10	A1	46	ЗПР4
11	A2	47	ЗПР5
12	A3	48	ЗПР6
13	A4	49	ЗПР7
14	A5	50	СНХ
15	A6	51	ЗДМ1
16	A7	52	РДМ1
17	A8	53	ЗДМ2
18	A9	54	РДМ2
19	A10	55	ЗДМ3
20	A11	56	РДМ3
21	A12	57	ЗДМ4
22	A13	58	РДМ4
23	A14	59	ЗДМ5
24	A15	60	РДМ5
25	D0	61	ЗДМ6
26	D1	62	РДМ6
27	D2	63	ЗДМ7
28	D3	64	РДМ7
29	D4	65	-
30	D5	66	-
31	D6	67	Питание -5 В
32	D7	68	Питание +12 В
33	ЧТН	69	УСТ
34	ЗАП	70	Питание -12 В
35	ПРМ	71	-
36	ВДЧ	72	Питание +12 В

Таблица 5.3. Уровни электрических сигналов на шинах магистрали

Вид сигнала	Диапазон напряжений, В	
	Высокий уровень (логический "0")	Низкий уровень (логическая "1")
Выходной	От 2,4 до 5,25	От 0 до 0,4
Входной	От 2,0 до 5,25	От 0,4 до 0,8

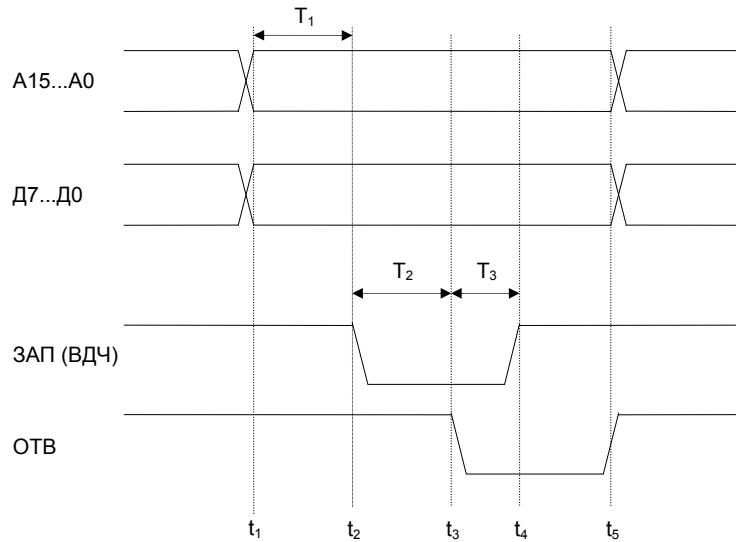


Рис.5.1. Временные диаграммы сигналов при операции записи

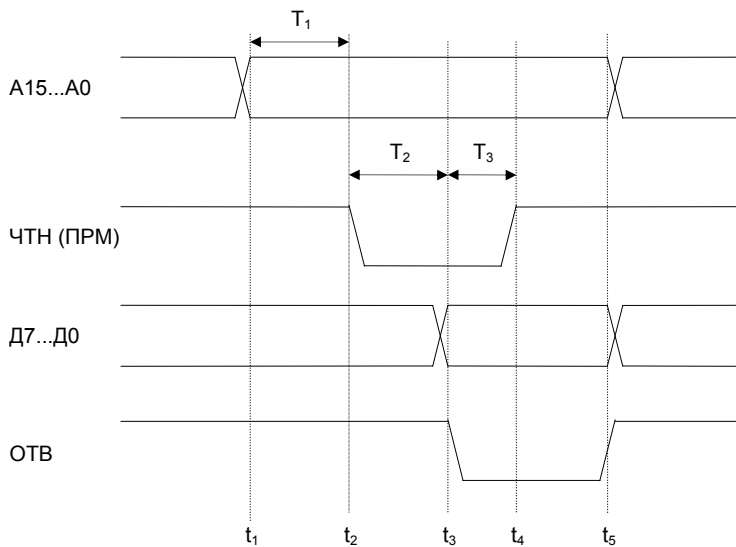


Рис. 5.2. Временные диаграммы сигналов при операции чтения

6. Система Multibus

Таблица 6.1 Распределение сигналов Bus-1 по контактам разъемов системной магистрали

Контакт	a	b	c
1	MRDC	BCLK	IORC
2	MWTC	GND	IOWC
3	BPRN	BUSY	INTA
4	BPRO	CBRQ	BREQ
5	-	-	-
6	-	GND	-
7	INT0	INT1	INT2
8	INT3	INT4	INT5
9	INT6	GND	INT7
10	-	XACK	INIT
11	+5V	-	-
12	+5V	+12V	+12V
13	-	GND	-
14	+5V	-12V	-12V
15	+5V	INH1	INH2
16	ADR0	ADR1	ADR2
17	ADR3	GND	ADR4
18	ADR5	ADR6	ADR7
19	ADR8	ADR9	ADRA
20	ADRB	GND	ADRC
21	ADRD	ADRE	ADRF
22	ADR10	ADR11	ADR12
23	ADR13	GND	ADR14
24	ADR15	ADR16	+5V
25	ADR17	BHEN	+5V
26	LOCK	GND	CCLK
27	DAT0	DAT1	DAT2
28	DAT3	DAT4	DAT5
29	DAT6	GND	DAT7
30	DAT8	DAT9	DAT10
31	DATB	DATC	DATD
32	DATE	GND	DATF

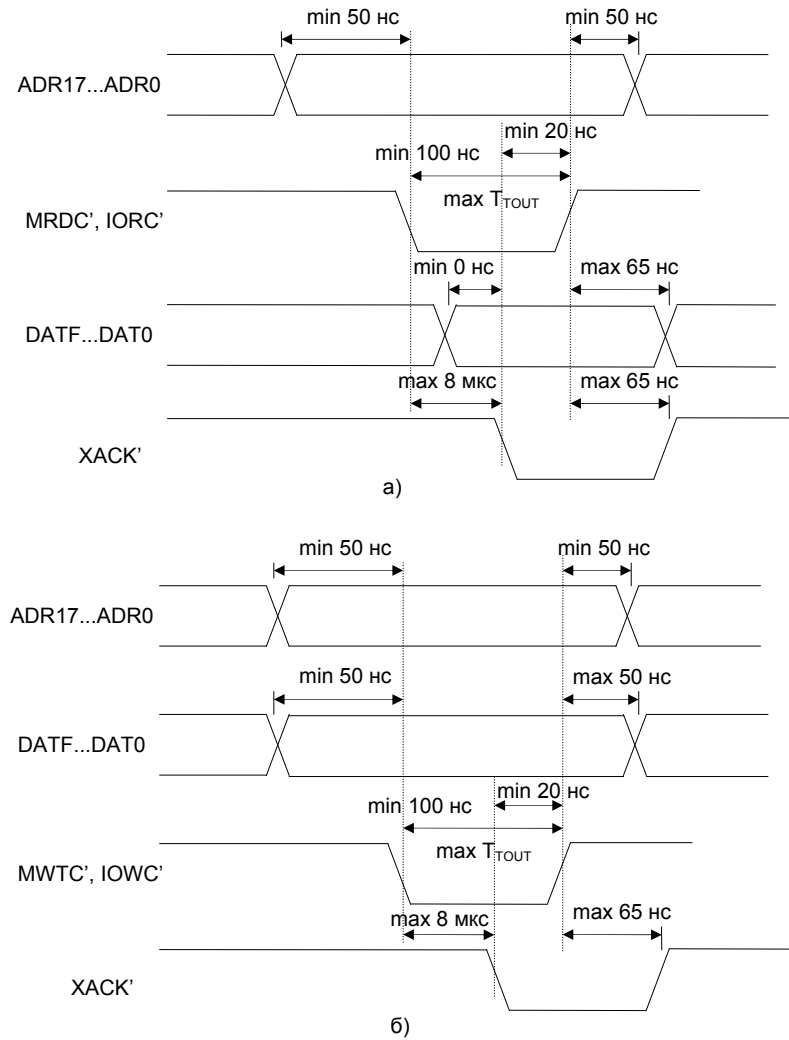


Рис. 6.1. Временные диаграммы операций: а) чтения; б) записи



Рис. 6.2. Передача данных по информационным линиям:
 1 - передача младшего (четного) байта;
 2 - передача старшего (нечетного) байта;
 3 - передача 16-разрядного слова

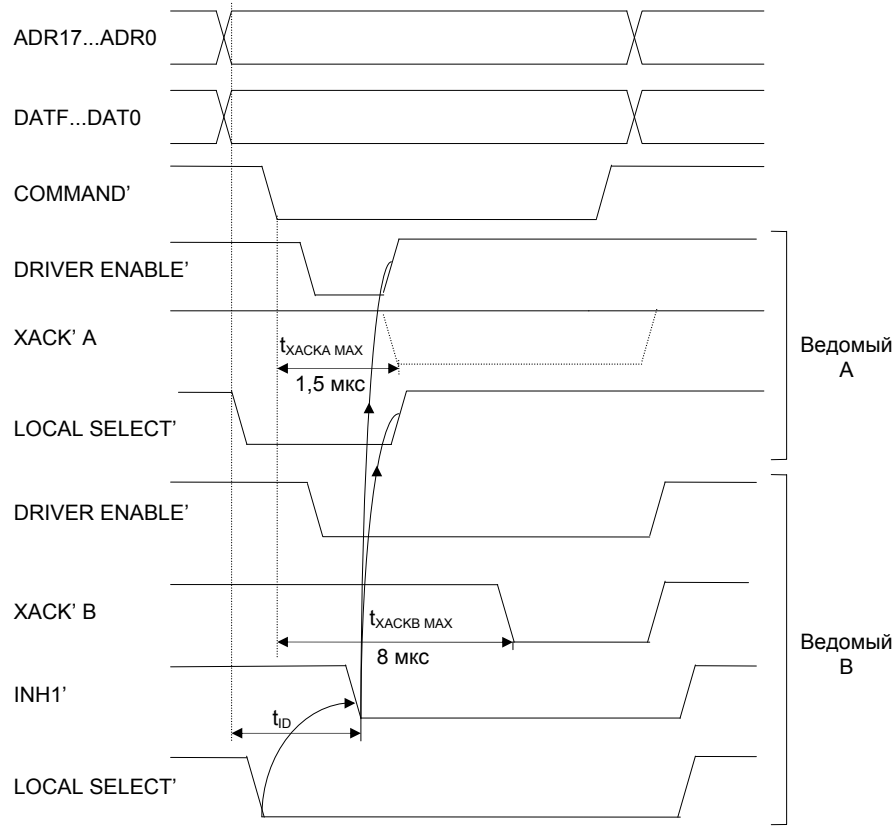


Рис. 6.3. Временные диаграммы для сигнала запрета

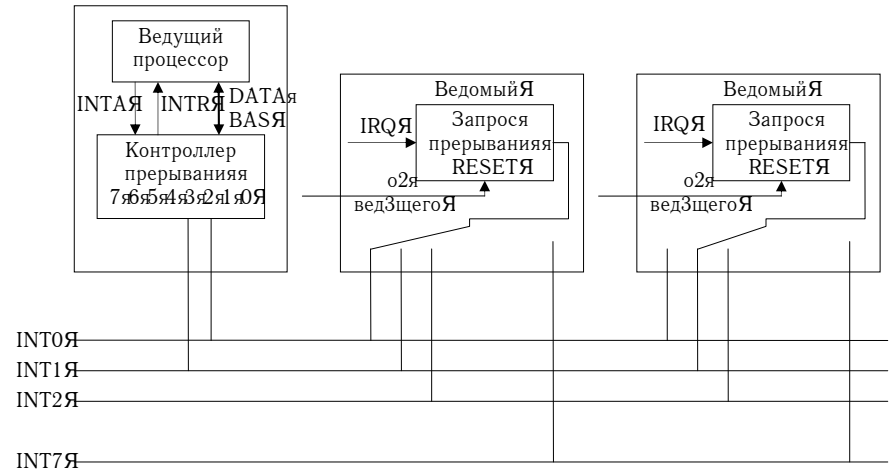


Рис. 6.4. Векторное прерывание без участия шины

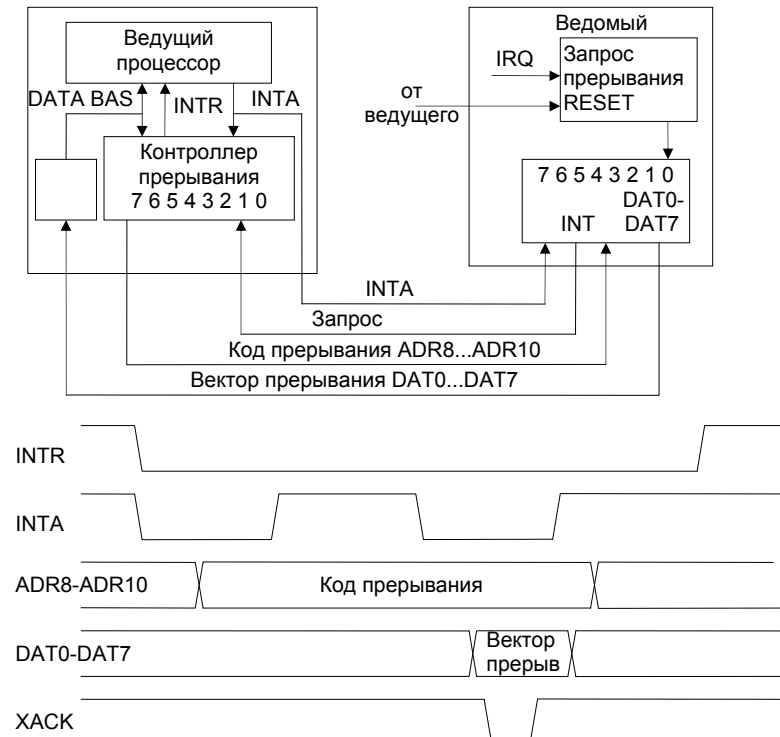


Рис. 6.5. Векторное прерывание с участием шины

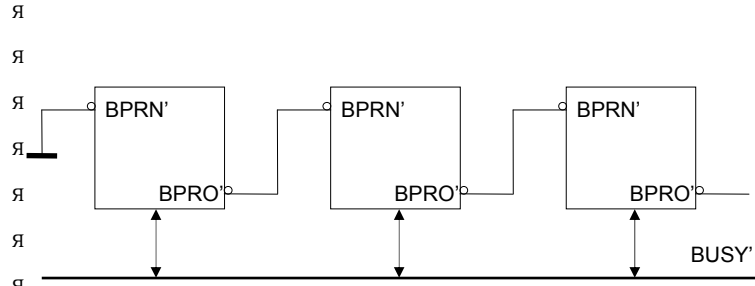


Рис. 6.6. Схема последовательного арбитража шины

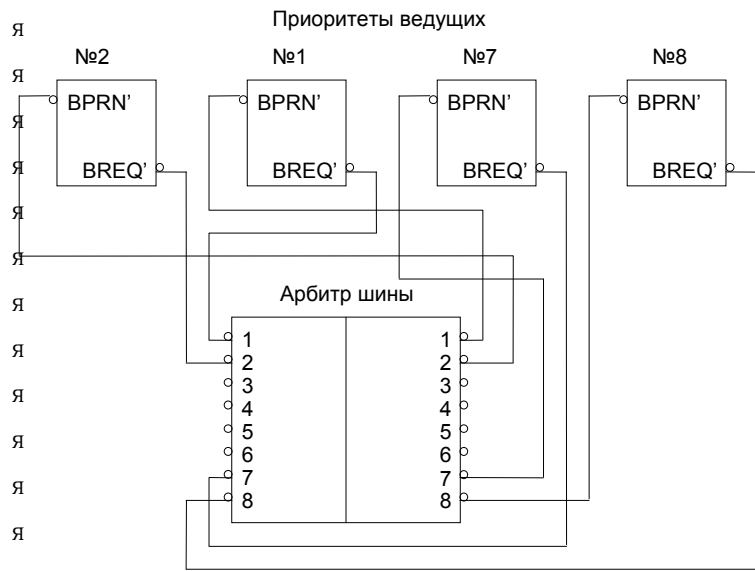


Рис. 6.7. Схема параллельного арбитража шины

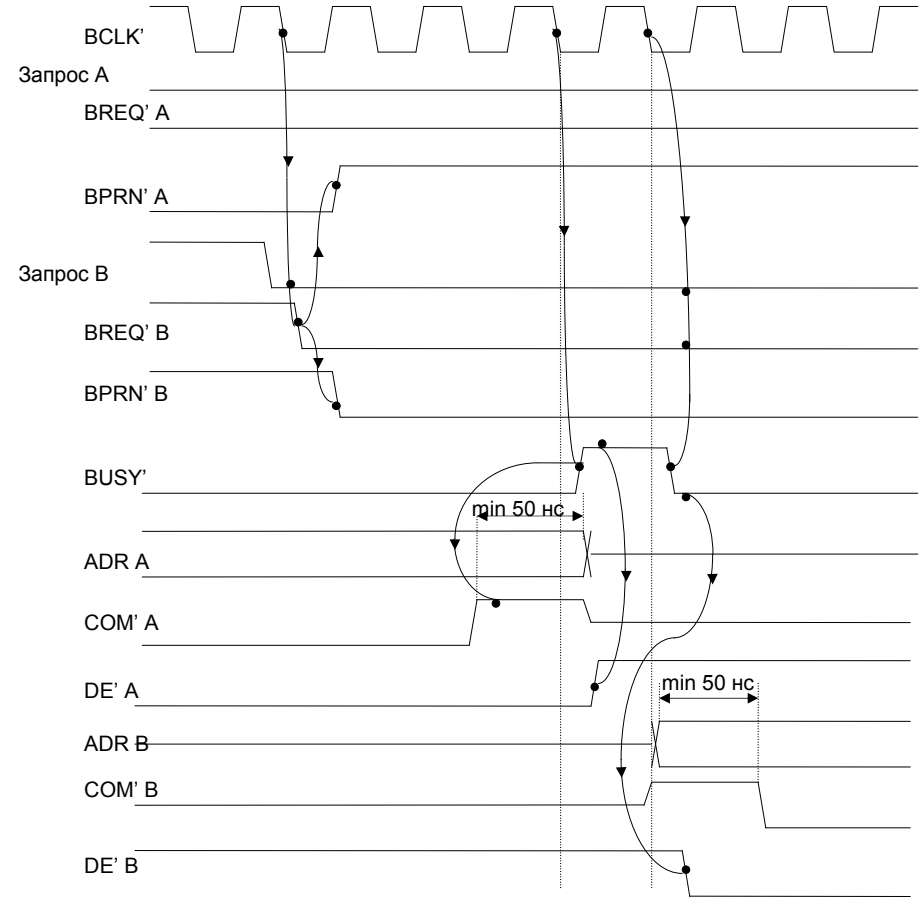


Рис. 6.8. Временные диаграммы операции смены ведущего устройства шины

7. Система VME

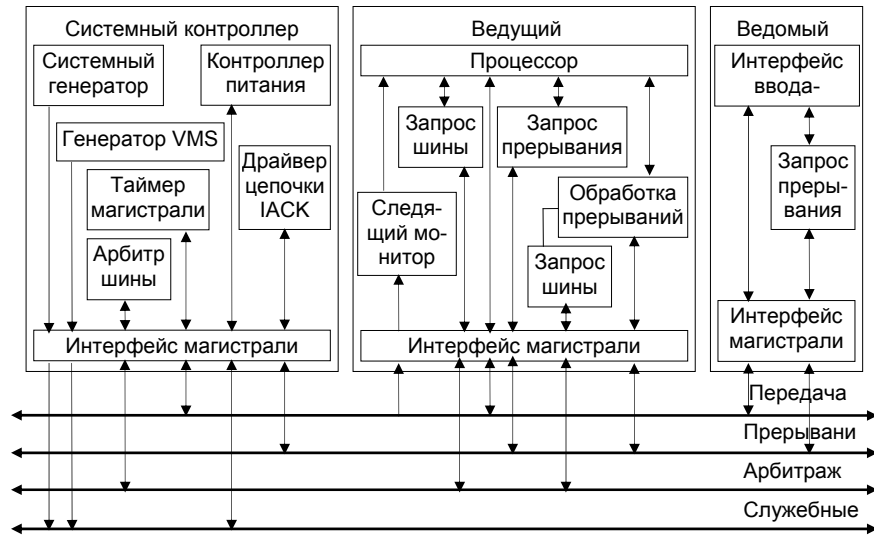


Рис. 7.1. Структурная схема организации VME магистрали

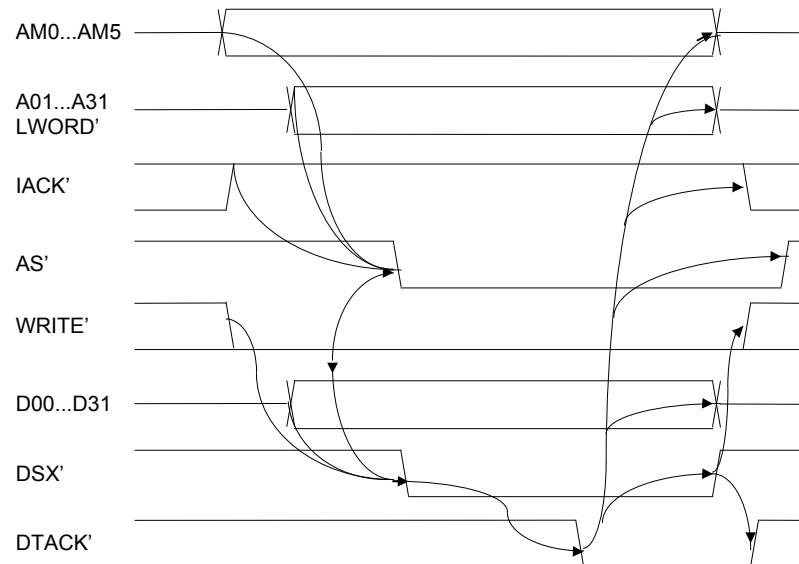


Рис. 7.2. Временные диаграммы цикла записи

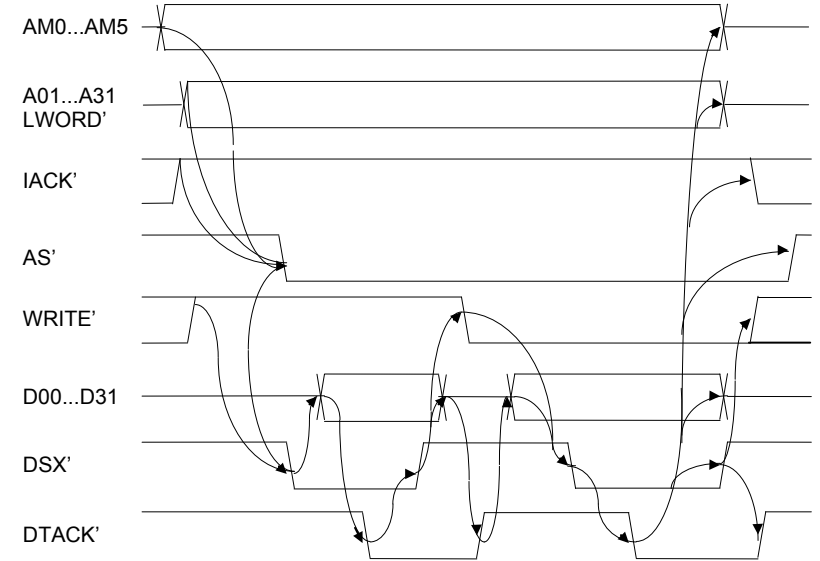


Рис. 7.3. Временные диаграммы цикла чтения-модификации-записи

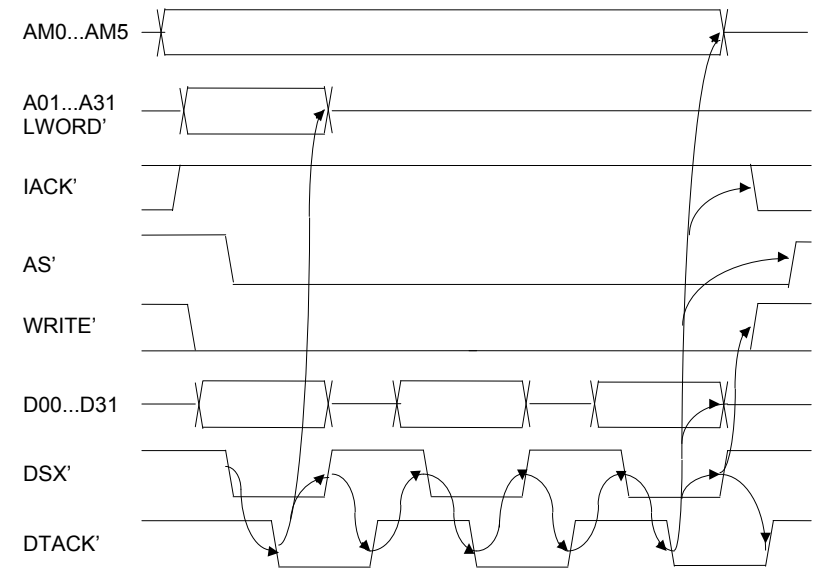


Рис. 7.4. Временные диаграммы цикла блочной передачи данных

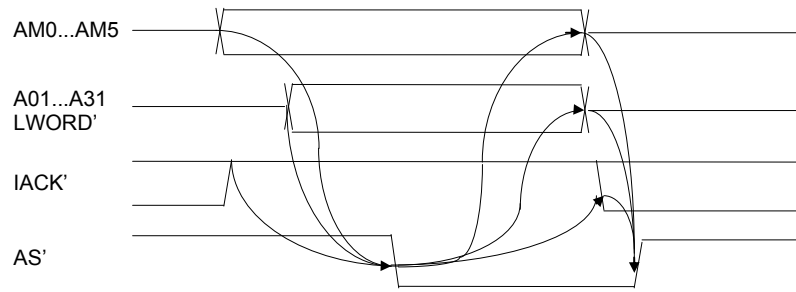


Рис. 7.5. Временные диаграммы цикла только адресации

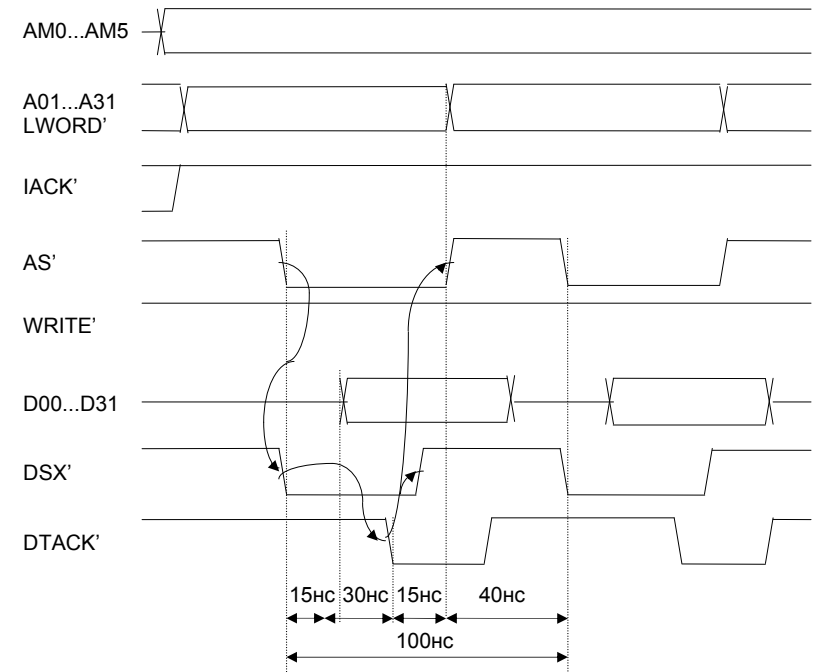


Рис. 7.7. Максимальная пропускная способность магистрали

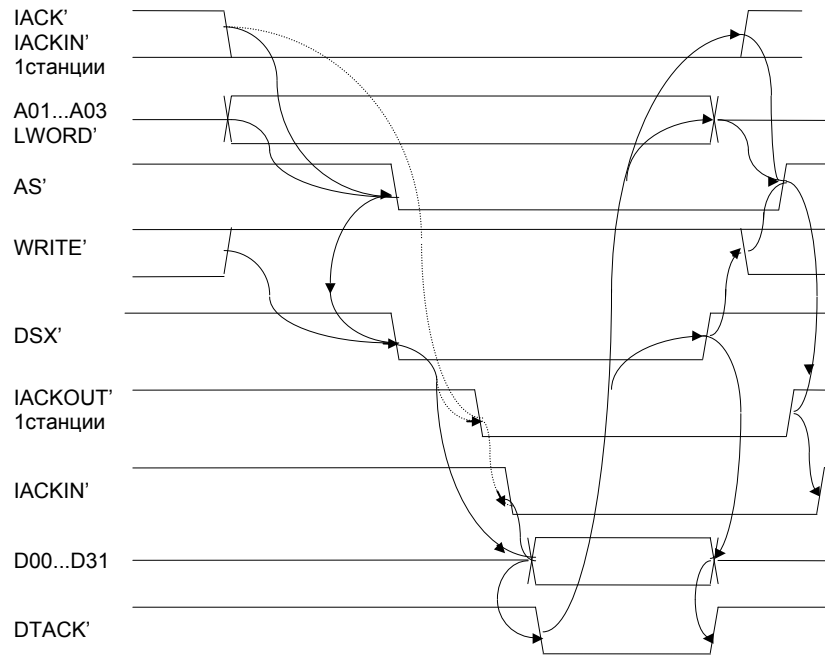


Рис. 7.6. Временные диаграммы цикла подтверждения прерывания

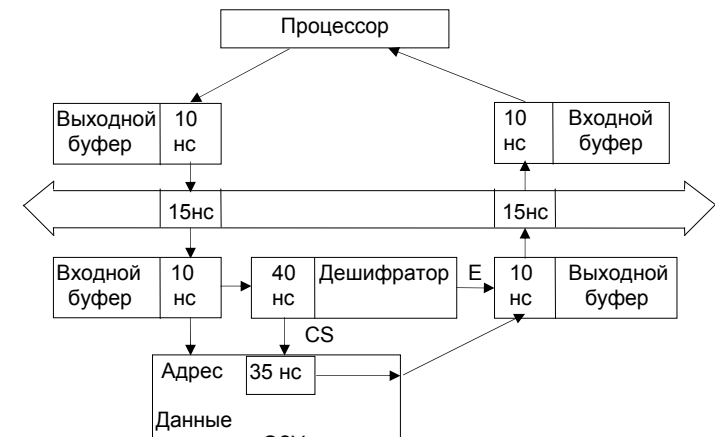


Рис. 7.8. Реальная скорость передачи данных по магистрали

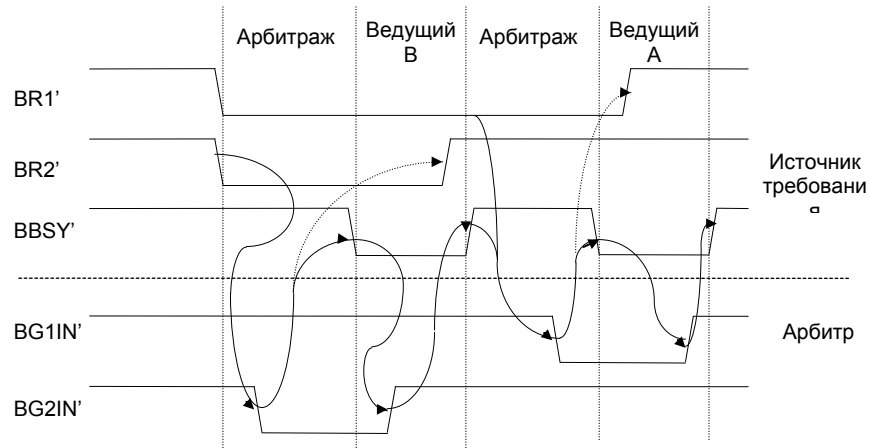


Рис. 7.9. Последовательность сигналов при одновременном поступлении двух запросов разных уровней

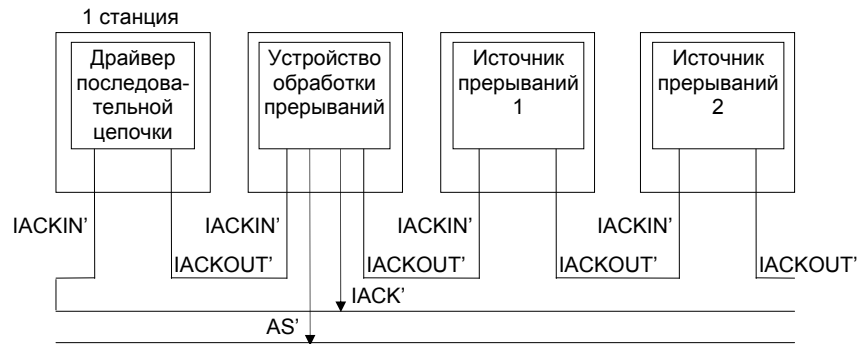


Рис. 7.10. Процесс подтверждения прерывания

Таблица 7.1. Назначение контактов разъемов магистрали VME

Контакт	Разъем P1			Разъем P2
	A	B	C	B
1	D00	BBSY'	D08	+ 5 B
2	D01	BCLR'	D09	GROUND
3	D02	ACFAIL'	D10	RESERVED
4	D03	BG0IN'	D11	A24
5	D04	BG0OUT'	D12	A25
6	D05	BG1IN'	D13	A26
7	D06	BG1OUT'	D14	A27
8	D07	BG2IN'	D15	A28
9	GROUND	BG2OUT'	GROUND	A29
10	SYSCLK	BG3IN'	SYSFAIL'	A30
11	GROUND	BG3OUT'	BERR'	A31
12	DS1'	BR0'	SYSRESET'	GROUND
13	DS0'	BR1'	LWORD'	+5 B
14	WRITE'	BR2'	AM5	D16
15	GROUND	BR3'	A23	D17
16	DTACK'	AM0	A22	D18
17	GROUND	AM1	A21	D19
18	AS'	AM2	A20	D20
19	GROUND	AM3	A19	D21
20	IACK'	GROUND	A18	D22
21	IACKIN'	SERCLK	A17	D23
22	IACKOUT'	SERDAT	A16	GROUND
23	AM4	GROUND	A15	D24
24	A07	IRQ7'	A14	D25
25	A06	IRQ6'	A13	D26
26	A05	IRQ5'	A12	D27
27	A04	IRQ4'	A11	D28
28	A03	IRQ3'	A10	D29
29	A02	IRQ2'	A09	D30
30	A01	IRQ1'	A08	D31
31	- 12 B	+5 B STDBY	+ 12 B	GROUND
32	+ 5 B	+ 5 B	+ 5 B	+ 5 B

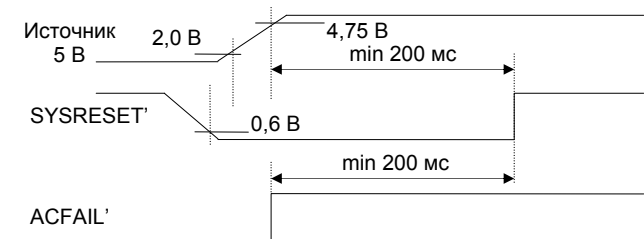


Рис. 7.11. Временные соотношения сигналов при запуске системы